

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

10-051812

(43)Date of publication of application : 20.02.1998

(51)Int.Cl.

H04N 13/02

(21)Application number : 08-208173

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 07.08.1996

(72)Inventor : MORI YUKIO

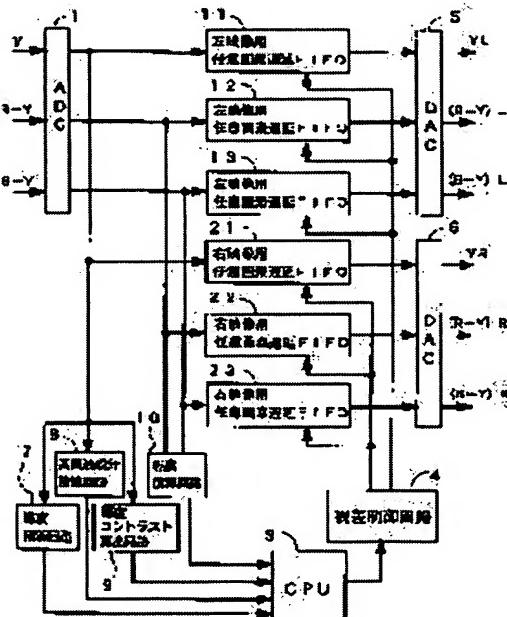
MAENAKA AKIHIRO
IHARA KANJI

(54) DEVICE AND METHOD FOR CONVERTING TWO-DIMENSIONAL VIDEO INTO THREE-DIMENSIONAL VIDEO

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the need for a field memory which generates a delayed video signal and lower the cost by generating a 1st and a 2nd video signal having a horizontal phase difference corresponding to parallax information corresponding to a specific unit area.

SOLUTION: A CPU 3 generates the parallax information corresponding to each parallax calculation area on the basis of sent information from a luminance integrating circuit 7, a high-frequency component integrating circuit 8, a luminance contrast calculating circuit 9, and a chroma integrating circuit 10. The calculated parallax information is sent to a parallax control circuit 4, which generates parallax information by pixel positions of each field on the basis of the parallax information. Read addresses of respective arbitrary pixel delay FIFOs 11-13 for left video and arbitrary pixel delay 21-23 for right video are so controlled on the basis of the obtained parallax information by the pixel positions that the FIFOs 11-13 and FIFOs 21-23 shift in read address when video signals are read out of the FIFOs 11-13 and 21-23. Therefore, video signals read out of both the delay FIFOs are different in horizontal phase.



LEGAL STATUS

[Date of request for examination] 25.08.1997
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3005474
[Date of registration] 19.11.1999
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] As opposed to each of two or more parallax calculation fields set up in 1 field screen for every field based on the two-dimensional input video signal It is based on a characteristic quantity extract means to extract the image characteristic quantity about the distance of an image, and the image characteristic quantity extracted for every parallax calculation field. A parallax information generation means to generate the parallax information for every predetermined unit field in 1 field screen, And equipment which changes into a 3D scenography a two-dimensional image equipped with a phase control means to generate the 1st video signal which has the level phase contrast according to the parallax information corresponding to the predetermined unit field, and the 2nd video signal, respectively from the signal in each predetermined unit field of a two-dimensional input video signal.

[Claim 2] A parallax information generation means is equipment which changes into a 3D scenography a two-dimensional image [equipped with a means to change into the parallax information for every parallax calculation field a means to generate the information about the distance of an image for every parallax calculation field, and the information about the distance of the image for every parallax calculation field] according to claim 1 based on the image characteristic quantity about the distance of the image for every parallax calculation field.

[Claim 3] A parallax information generation means is based on the image characteristic quantity about the distance of the image for every parallax calculation field. The inside of the height location of a means to generate the information about the distance of an image for every parallax calculation field, and a screen, The inside of each parallax calculation field below the height location where the far and near location expressed using the information about the distance of an image is the nearest, The far and near location expressed using the information about the distance of an image to the parallax calculation field About the parallax calculation field which is a distant location beyond a predetermined value, from the far and near location expressed using the information about the distance of an image to the parallax calculation field of the right above of it So that the far and near location where the far and near location expressed using the information about the distance of an image to the parallax calculation field is expressed using the information about the distance of an image to the parallax calculation field of the right above of it may be approached A means to amend the information about the distance of an image to the parallax calculation field, And equipment which changes into a 3D scenography the two-dimensional image according to claim 1 characterized by having a means to change the information about the distance of the image for every parallax calculation field after amendment into the parallax information for every parallax calculation field.

[Claim 4] A phase control means has the capacity below 1 level line part can remember a two or more pixels two-dimensional input video signal to be several minutes. And it has the capacity below 1 level line part can remember the 1st storage means which memorizes a two-dimensional input video signal in primary, and a two or more pixels two-dimensional input video signal to be several minutes. And the standard read-out address determined according to the level vertical position of a two-dimensional input video signal in the read-out address of the 2nd storage means which memorizes a two-dimensional input video signal in primary, and the 1st storage means is received. By controlling based on the parallax information corresponding to the predetermined unit field to which the level vertical position of a two-dimensional input video signal belongs The 1st read-out

address control means to which only the amount according to the above-mentioned parallax information generates the 1st video signal with which the level phase progressed to the criteria level phase specified by the above-mentioned standard read-out address, And by controlling the read-out address of the 2nd storage means to the above-mentioned standard read-out address based on the parallax information corresponding to the predetermined unit field to which the level vertical position of a two-dimensional input video signal belongs The 2nd read-out address control means which generates the 2nd video signal with which only the amount according to the above-mentioned parallax information was in the level phase to the criteria level phase specified by the above-mentioned standard read-out address, Equipment which changes a two-dimensional image given in either of preparation ***** claims 1, 2, and 3 into a 3D scenography.

[Claim 5] Equipment which one of the arbitration chosen from among the integrated value of a high frequency component, brightness contrast, the brightness integrated value, and the saturation integrated value or arbitration combines, and the image characteristic quantity about the distance of an image comes out, and changes the two-dimensional image of a publication into either of some claims 1, 2, 3, and 4 at a 3D scenography.

[Claim 6] Equipment which changes into a 3D scenography a two-dimensional image given in either of claims 1, 2, 3, 4, and 5 whose predetermined unit fields are fields of a 1-pixel unit.

[Claim 7] As opposed to each of two or more parallax calculation fields set up in 1 field screen for every field based on the two-dimensional input video signal It is based on the 1st step which extracts the image characteristic quantity about the distance of an image, and the image characteristic quantity extracted for every parallax calculation field. The 2nd step which generates the parallax information for every predetermined unit field in 1 field screen, And the method of changing into a 3D scenography a two-dimensional image equipped with the 3rd step which generates the 1st video signal which has the level phase contrast according to the parallax information corresponding to the predetermined unit field, and the 2nd video signal, respectively from the signal in each predetermined unit field of a two-dimensional input video signal.

[Claim 8] The 2nd step is the approach of changing into a 3D scenography a two-dimensional image [equipped with the step which changes into the parallax information for every parallax calculation field the step which generates the information about the distance of an image for every parallax calculation field, and the information about the distance of the image for every parallax calculation field] according to claim 7, based on the image characteristic quantity about the distance of the image for every parallax calculation field.

[Claim 9] The 2nd step is based on the image characteristic quantity about the distance of the image for every parallax calculation field. The step which generates the information about the distance of an image for every parallax calculation field, The inside of each parallax calculation field below the height location where the far and near location expressed using the information about the distance of an image among the height locations of a screen is the nearest, The far and near location expressed using the information about the distance of an image to the parallax calculation field About the parallax calculation field which is a distant location beyond a predetermined value, from the far and near location expressed using the information about the distance of an image to the parallax calculation field of the right above of it So that the far and near location where the far and near location expressed using the information about the distance of an image to the parallax calculation field is expressed using the information about the distance of an image to the parallax calculation field of the right above of it may be approached The step which amends the information about the distance of an image to the parallax calculation field, And the method of changing into a 3D scenography the two-dimensional image according to claim 7 characterized by having the step which changes the information about the distance of the image for every parallax calculation field after amendment into the parallax information for every parallax calculation field.

[Claim 10] The 3rd step for the 1st storage means and the 2nd storage means of having the capacity below 1 level line part can remember a two or more pixels two-dimensional input video signal to be several minutes As opposed to the standard read-out address determined according to the level vertical position of a two-dimensional input video signal in the read-out address of a step and the 1st storage means which memorizes a two-dimensional input video signal in primary By controlling based on the parallax information corresponding to the predetermined unit field to which the level vertical position of a two-dimensional input video signal belongs The step to which only the amount

according to the above-mentioned parallax information generates the 1st video signal with which the level phase progressed to the criteria level phase specified by the above-mentioned standard read-out address, And by controlling the read-out address of the 2nd storage means to the above-mentioned standard read-out address based on the parallax information corresponding to the predetermined unit field to which the level vertical position of a two-dimensional input video signal belongs How to change into a 3D scenography a two-dimensional image given in either of claims 7, 8, and 9 equipped with the step which generates the 2nd video signal with which only the amount according to the above-mentioned parallax information was in the level phase to the criteria level phase specified by the above-mentioned standard read-out address.

[Claim 11] How for one of the arbitration chosen from among the integrated value of a high frequency component, brightness contrast, the brightness integrated value, and the saturation integrated value or arbitration to combine, and for the image characteristic quantity about the distance of an image to come out, and to change the two-dimensional image of a publication into either of some claims 7, 8, 9, and 10 at a 3D scenography.

[Claim 12] Equipment which changes into a 3D scenography a two-dimensional image given in either of claims 7, 8, 9, 10, and 11 whose predetermined unit fields are fields of a 1-pixel unit.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to the equipment and the approach of changing a two-dimensional image into a 3D scenography.

[0002]

[Description of the Prior Art] The approach of generating the video signal (henceforth a delay video signal) delayed in time to the original two-dimensional video signal, using a field memory as an approach of changing a two-dimensional image into a 3D scenography, outputting one side as a video signal for left eyes among the original two-dimensional video signal and a delay video signal, and outputting another side as a video signal for right eyes is learned. However, by this approach, since a field memory is needed in order to generate the video signal delayed in time to the original two-dimensional video signal, there is a problem that cost is high. Moreover, by this approach, only a two-dimensional image with a motion is convertible for a 3D scenography.

[0003]

[Problem(s) to be Solved by the Invention] The field memory for generating the video signal delayed in time to the original two-dimensional video signal becomes unnecessary, and this invention aims at offering the equipment and the approach of changing into a 3D scenography the two-dimensional image which can attain cheap-ization of cost.

[0004] Moreover, this invention aims at offering the equipment and the approach of changing a two-dimensional image into a 3D scenography that 3-dimensional scenography is obtained, even if the image expressed by the original two-dimensional video signal is a quiescence image.

[0005]

[Means for Solving the Problem] The equipment which changes the two-dimensional image by this invention into a 3D scenography As opposed to each of two or more parallax calculation fields set up in 1 field screen for every field based on the two-dimensional input video signal It is based on a characteristic quantity extract means to extract the image characteristic quantity about the distance of an image, and the image characteristic quantity extracted for every parallax calculation field. A parallax information generation means to generate the parallax information for every predetermined unit field in 1 field screen, And it is characterized by having a phase control means to generate the 1st video signal which has the level phase contrast according to the parallax information corresponding to the predetermined unit field, and the 2nd video signal, respectively from the signal in each predetermined unit field of a two-dimensional input video signal.

[0006] As a parallax information generation means, a thing equipped with a means to change into the parallax information for every parallax calculation field a means to generate the information about the distance of an image for every parallax calculation field based on the image characteristic quantity about the distance of the image for every parallax calculation field, and the information about the distance of the image for every parallax calculation field is used, for example.

[0007] As a parallax information generation means, it is based on the image characteristic quantity about the distance of the image for every parallax calculation field, for example. The inside of the height location of a means to generate the information about the distance of an image for every parallax calculation field, and a screen, The inside of each parallax calculation field below the height location where the far and near location expressed using the information about the distance of an

image is the nearest, The far and near location expressed using the information about the distance of an image to the parallax calculation field About the parallax calculation field which is a distant location beyond a predetermined value, from the far and near location expressed using the information about the distance of an image to the parallax calculation field of the right above of it So that the far and near location where the far and near location expressed using the information about the distance of an image to the parallax calculation field is expressed using the information about the distance of an image to the parallax calculation field of the right above of it may be approached A thing equipped with a means to change into the parallax information for every parallax calculation field a means to amend the information about the distance of an image to the parallax calculation field, and the information about the distance of the image for every parallax calculation field after amendment is used.

[0008] As a phase control means, it has the capacity below 1 level line part can remember a two or more pixels two-dimensional input video signal to be several minutes, for example. And it has the capacity below 1 level line part can remember the 1st storage means which memorizes a two-dimensional input video signal in primary, and a two or more pixels two-dimensional input video signal to be several minutes. And the standard read-out address determined according to the level vertical position of a two-dimensional input video signal in the read-out address of the 2nd storage means which memorizes a two-dimensional input video signal in primary, and the 1st storage means is received. By controlling based on the parallax information corresponding to the predetermined unit field to which the level vertical position of a two-dimensional input video signal belongs The 1st read-out address control means to which only the amount according to the above-mentioned parallax information generates the 1st video signal with which the level phase progressed to the criteria level phase specified by the above-mentioned standard read-out address, And by controlling the read-out address of the 2nd storage means to the above-mentioned standard read-out address based on the parallax information corresponding to the predetermined unit field to which the level vertical position of a two-dimensional input video signal belongs A thing equipped with the 2nd read-out address control means which generates the 2nd video signal with which only the amount according to the above-mentioned parallax information was in the level phase to the criteria level phase specified by the above-mentioned standard read-out address is used.

[0009] As image characteristic quantity about the distance of an image, one of the arbitration chosen from from among the integrated value of a high frequency component, brightness contrast, the brightness integrated value, and the saturation integrated value or the combination of arbitration is used. The integrated value of a high frequency component may be used as image characteristic quantity about the distance of an image. Brightness contrast may be used as image characteristic quantity about the distance of an image. As image characteristic quantity about the distance of an image, the integrated value and brightness contrast of a high frequency component may be used. As image characteristic quantity about the distance of an image, the integrated value, the brightness contrast, and the brightness integrated value of a high frequency component may be used. As image characteristic quantity about the distance of an image, the integrated value, the brightness contrast, and the saturation integrated value of a high frequency component may be used. As image characteristic quantity about the distance of an image, the integrated value, the brightness contrast, brightness integrated value, and saturation integrated value of a high frequency component may be used.

[0010] A predetermined unit field is a field of for example, a 1-pixel unit.

[0011] The approach of changing the two-dimensional image by this invention into a 3D scenography As opposed to each of two or more parallax calculation fields set up in 1 field screen for every field based on the two-dimensional input video signal It is based on the 1st step which extracts the image characteristic quantity about the distance of an image, and the image characteristic quantity extracted for every parallax calculation field. The 2nd step which generates the parallax information for every predetermined unit field in 1 field screen, And it is characterized by having the 3rd step which generates the 1st video signal which has the level phase contrast according to the parallax information corresponding to the predetermined unit field, and the 2nd video signal, respectively from the signal in each predetermined unit field of a two-dimensional input video signal.

[0012] As the 2nd step, a thing equipped with the step which changes into the parallax information for every parallax calculation field the step which generates the information about the distance of an image for every parallax calculation field based on the image characteristic quantity about the distance of the image for every parallax calculation field, and the information about the distance of the image for every parallax calculation field is used, for example.

[0013] As the 2nd step, it is based on the image characteristic quantity about the distance of the image for every parallax calculation field, for example. The step which generates the information about the distance of an image for every parallax calculation field, The inside of each parallax calculation field below the height location where the far and near location expressed using the information about the distance of an image among the height locations of a screen is the nearest, The far and near location expressed using the information about the distance of an image to the parallax calculation field About the parallax calculation field which is a distant location beyond a predetermined value, from the far and near location expressed using the information about the distance of an image to the parallax calculation field of the right above of it So that the far and near location where the far and near location expressed using the information about the distance of an image to the parallax calculation field is expressed using the information about the distance of an image to the parallax calculation field of the right above of it may be approached A thing equipped with the step which changes into the parallax information for every parallax calculation field the step which amends the information about the distance of an image to the parallax calculation field, and the information about the distance of the image for every parallax calculation field after amendment is used.

[0014] For the 1st storage means and the 2nd storage means of having the capacity below 1 level line part can remember a two or more pixels two-dimensional input video signal to be several minutes as the 3rd step, for example As opposed to the standard read-out address determined according to the level vertical position of a two-dimensional input video signal in the read-out address of a step and the 1st storage means which memorizes a two-dimensional input video signal in primary By controlling based on the parallax information corresponding to the predetermined unit field to which the level vertical position of a two-dimensional input video signal belongs The step to which only the amount according to the above-mentioned parallax information generates the 1st video signal with which the level phase progressed to the criteria level phase specified by the above-mentioned standard read-out address, And by controlling the read-out address of the 2nd storage means to the above-mentioned standard read-out address based on the parallax information corresponding to the predetermined unit field to which the level vertical position of a two-dimensional input video signal belongs A thing equipped with the step which generates the 2nd video signal with which only the amount according to the above-mentioned parallax information was in the level phase to the criteria level phase specified by the above-mentioned standard read-out address is used.

[0015] As image characteristic quantity about the distance of an image, one of the arbitration chosen from from among the integrated value of a high frequency component, brightness contrast, the brightness integrated value, and the saturation integrated value or the combination of arbitration is used. The integrated value of a high frequency component may be used as image characteristic quantity about the distance of an image. Brightness contrast may be used as image characteristic quantity about the distance of an image. As image characteristic quantity about the distance of an image, the integrated value and brightness contrast of a high frequency component may be used. As image characteristic quantity about the distance of an image, the integrated value, the brightness contrast, and the brightness integrated value of a high frequency component may be used. As image characteristic quantity about the distance of an image, the integrated value, the brightness contrast, and the saturation integrated value of a high frequency component may be used. As image characteristic quantity about the distance of an image, the integrated value, the brightness contrast, brightness integrated value, and saturation integrated value of a high frequency component may be used.

[0016] A predetermined unit field is a field of for example, a 1-pixel unit.

[0017]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained with reference to a drawing.

[0018] Drawing 1 shows the overall configuration of 2D / 3-D image inverter for changing a two-dimensional image into a 3D scenography.

[0019] The luminance signal Y, color-difference-signal R-Y, and color-difference-signal B-Y which constitute a two-dimensional video signal are changed into a Y signal, a digital R-Y signal, and a digital B-Y signal by the AD translation circuit 1 (ADC), respectively.

[0020] A Y signal is sent to the 1st arbitration pixel delay FIFO 11 for left images, and the 1st arbitration pixel delay FIFO 21 for right images while it is sent to the brightness counting circuit 7, the high frequency component counting circuit 8, and the brightness contrast calculation circuit 9. A R-Y signal is sent to the 2nd arbitration pixel delay FIFO 12 for left images, and the 2nd arbitration pixel delay FIFO 22 for right images while it is sent to the saturation counting circuit 10. A B-Y signal is sent to the 3rd arbitration pixel delay FIFO 13 for left images, and the 3rd arbitration pixel delay FIFO 23 for right images while it is sent to the saturation counting circuit 10.

[0021] two or more parallax calculation fields E1-E12 beforehand set up in 1 field screen as the brightness counting circuit 7 was shown in drawing 2 R> 2 for every field -- it is alike, respectively and the receiving brightness integrated value is computed. the high frequency component counting circuit 8 -- every field -- each parallax calculation fields E1-E12 -- it is alike, respectively and the integrated value of the receiving high frequency component is computed. the brightness contrast calculation circuit 9 -- every field -- each parallax calculation fields E1-E12 -- it is alike, respectively and the receiving brightness contrast is computed. the saturation counting circuit 10 -- every field -- each parallax calculation fields E1-E12 -- it is alike, respectively and the integrated value of the receiving saturation is computed.

[0022] the parallax calculation fields E1-E12 -- the brightness integrated value which is alike, respectively and receives, and each parallax calculation fields E1-E12 -- the integrated value of the high frequency component which is alike, respectively and receives, and each parallax calculation fields E1-E12 -- the brightness contrast which is alike, respectively and receives, and each parallax calculation fields E1-E12 -- the integrated value of the saturation which is alike, respectively and receives -- parallax calculation field E1- it is the image characteristic quantity about the distance of the image in every E12.

[0023] In addition, although a total of 60 parallax calculation fields of six-line ten trains are actually set up in 1 field screen as shown in drawing 15 , as shown in drawing 2 , it considers as the thing of explanation by which a total of 12 parallax calculation fields E1-E12 of three-line four trains are set up in 1 field screen for convenience.

[0024] CPU3 generates the parallax information over each parallax calculation fields E1-E12 based on the information sent from the brightness counting circuit 7, the high frequency component counting circuit 8, the brightness contrast calculation circuit 9, and the saturation counting circuit 10. In this example, there are few amounts of parallax as the body which is in a before side like a photographic subject, and parallax information is generated so that the amount of parallax may become large in the body which is in the backside like a background. About the detail of the generation method of this parallax information, it mentions later.

[0025] The parallax information over each parallax calculation fields E1-E12 computed by CPU3 is sent to the parallax control circuit 4. The parallax control circuit 4 generates the parallax information for every pixel location of each field based on the parallax information over each parallax calculation fields E1-E12. And each FIFO 11-13 and the read-out address of 21-23 are controlled so that the read-out address at the time of reading a video signal (a Y signal, a R-Y signal, B-Y signal) shifts from each FIFO 11-13, and 21-23 based on the parallax information for every obtained pixel location between the arbitration pixel delay 11-FIFO 13 for left images, and the arbitration pixel delay 21-FIFO 23 for right images. Therefore, the level phase of the left video signal by which reading appearance was carried out from the arbitration pixel delay 11-FIFO 13 for left images comes to differ from the level phase of the right video signal by which reading appearance was carried out from the arbitration pixel delay 21-FIFO 23 for right images.

[0026] After the left video signal (YL signal, L (R-Y) signal, L (B-Y) signal) by which reading appearance was carried out from the arbitration pixel delay 11-FIFO 13 for left images is changed into an analog signal by the DA translation circuit (DAC) 5, it is sent to the three dimensional display equipment which is not illustrated. After the right video signal (YR signal, R (R-Y) signal, R (B-Y)

signal) by which reading appearance was carried out from the arbitration pixel delay 21-FIFO 23 for right images is changed into an analog signal by the DA translation circuit (DAC) 6, it is sent to the three dimensional display equipment which is not illustrated.

[0027] Since the level phase of a left video signal differs from the level phase of a right video signal, parallax occurs between a left image and a right image. Consequently, if a left image is observed only by the left eye and a right image is observed only by the right eye, 3-dimensional scenography which has a photographic subject in a front location to a background will be obtained.

[0028] Drawing 3 shows the configuration of the brightness counting circuit 7.

[0029] In drawing 2, the horizontal position (HAD) and the vertical position (VAD) are expressed [number / of each parallax calculation fields E1-E12 / of pixels / horizontal] considering the coordinate at the upper left of n and the 1st parallax calculation field E1 as (a, b) in the number of pixels of the perpendicular direction of m and each parallax calculation fields E1-E12.

[0030] The brightness counting circuit 7 is equipped with the timing signal generating circuit 201, the adder circuit 202, the brightness addition register group 203, and the selection circuitry (SEL) 204. the 1- respectively corresponding to each parallax calculation fields E1-E12 in the brightness addition register group 203 -- it has the 12th brightness addition register 211-222.

[0031] The clock signal CLK for detecting the level address of Horizontal Synchronizing signal Hsync of an input video signal, Vertical Synchronizing signal Vsync, and each level period has inputted into the timing signal generating circuit 201.

[0032] The timing signal generating circuit 201 outputs the 1st - the 12th enable signal EN1-EN12, a reset signal RST, and output timing signal DOUT based on Horizontal Synchronizing signal Hsync, Vertical Synchronizing signal Vsync, and a clock signal CLK.

[0033] Each enable signals EN1-EN12 serve as H level, when it is in the field where each parallax calculation fields E1-E12 are supported, respectively, it is always L level and the level vertical position of an input video signal corresponds. the 1st - the 12th enable signal EN1-EN12 -- respectively -- the 1- it has inputted into the 12th brightness addition register 211-222 as a write-in signal. Moreover, the 1st - the 12th enable signal EN1-EN12 are sent also to a selection circuitry 204. A selection circuitry 204 chooses and outputs the input data corresponding to the enable signal of H level.

[0034] A reset signal RST is outputted to the effective image initiation timing of each field in an input video signal, and is sent to each brightness addition registers 211-222. The content will be set to 0 if a reset signal RST is inputted into each brightness addition registers 211-222.

[0035] As for output timing signal DOUT, only a fixed period serves as H level from the event of the vertical position of an input video signal exceeding the vertical position of the soffit of the parallax calculation field E12 of the bottom, as shown in drawing 2. Output timing signal DOUT is sent to CPU3.

[0036] A reset signal is outputted to the effective image initiation timing in an input video signal, and the content of each brightness addition registers 211-222 is set to 0. While the brightness value currently held at the 1st brightness addition register 211 is sent to an adder circuit 202 through a selection circuitry 204 since the 1st enable signal EN1 serves as H level when the level vertical position of an input video signal is in the 1st parallax calculation field E1, the Y signal in an input video signal inputs into an adder circuit 202.

[0037] Therefore, the brightness value currently held at the 1st brightness addition register 211 and the Y signal in an input video signal are added by the adder circuit 202, and the addition result is stored in the 1st brightness addition register 211. That is, when the level vertical position of an input video signal is in the 1st parallax calculation field E1, the brightness value of the pixel in the 1st parallax calculation field E1 is integrated, and the addition result is accumulated in the 1st brightness addition register 211.

[0038] thus, each parallax calculation field E1 - the brightness integrated value in every E12 is accumulated in the corresponding brightness addition registers 211-222. and each parallax calculation field E1 - accumulated in each brightness addition registers 211-222 if output timing signal DOUT serves as H level -- the brightness integrated value in every E12 is sent to CPU3 through a data bus (DATA-BUS).

[0039] Drawing 4 shows the configuration of the high frequency component counting circuit 8.

[0040] The high frequency component counting circuit 8 is equipped with the timing signal generating circuit 231, a high-pass filter (HPF) 232, the absolute value-sized circuit 233, the slice processing circuit 234, the adder circuit 235, the high frequency component addition register group 236, and the selection circuitry 237. the 1- respectively corresponding to each parallax calculation fields E1-E12 in the high frequency component addition register group 236 -- it has the 12th high frequency component addition register 241-252.

[0041] The input signal and output signal of the timing signal generating circuit 231 are the same as the input signal of the timing signal generating circuit 201 of drawing 3, and an output signal.

[0042] As a high-pass filter 232, as shown in drawing 5, a high-pass filter with the tap multiplier of -1, 0, 2 and 0, and -1 which consists of the bit shift circuit 266, the adder 267, and subtractor 268 for acquiring an input value twice the output of five D flip-flops 261-265 is used, for example.

[0043] Moreover, the circuit which has input-output behavioral characteristics as shown in drawing 6 as a slice processing circuit 234 is used. To the input to 0-Ia, the output is set to 0, because a noise is not extracted as a high frequency component.

[0044] Therefore, the high frequency component of the Y signal in an input video signal is extracted by the high-pass filter 232, the absolute value is obtained by the absolute value-sized circuit 233, and a noise is removed from the absolute value of a high frequency component by the slice processing circuit 234.

[0045] A reset signal is outputted to the effective image initiation timing in an input video signal, and the content of each high frequency component addition registers 241-252 is set to 0. While the high frequency component currently held at the 1st high frequency component addition register 241 is sent to an adder circuit 235 through a selection circuitry 237 since the 1st enable signal EN1 serves as H level when the level vertical position of an input video signal is in the 1st parallax calculation field E1, the high frequency component (output of the slice processing circuit 234) of the Y signal in an input video signal inputs into an adder circuit 235.

[0046] Therefore, the high frequency component currently held at the 1st high frequency component addition register 241 and the high frequency component of the Y signal in an input video signal are added by the adder circuit 235, and the addition result is stored in the 1st high frequency component addition register 241. That is, when the level vertical position of an input video signal is in the 1st parallax calculation field E1, the high frequency component of the pixel in the 1st parallax calculation field E1 is integrated, and the addition result is accumulated in the 1st high frequency component addition register 241.

[0047] thus, each parallax calculation field E1- the integrated value of the high frequency component in every E12 is accumulated in the corresponding high frequency component addition register 241. and each parallax calculation field E1- accumulated in each high frequency component addition registers 241-252 if output timing signal DOUT serves as H level -- the integrated value of the high frequency component in every E12 is sent to CPU3 through a data bus.

[0048] Drawing 7 shows other examples of the high frequency component counting circuit 8.

[0049] This high frequency component counting circuit 8 is equipped with the timing signal generating circuit 238, a high-pass filter 232, the peak detector 239, the adder circuit 235, the high frequency component addition register group 236, and the selection circuitry 237.

[0050] The timing signal generating circuit 238 is a trigger pulse (field boundary signal RST1), when the horizontal position of an input video signal arrives at the horizontal position in front of the parallax calculation fields E1, E5, and E9, and the horizontal position at the tail end of each parallax calculation fields E1-E12 as shown in drawing 2 R> 2 although it was almost the same as the timing signal generating circuit 201 of drawing 3. The point outputted differs from the timing signal generating circuit 201 of drawing 3. The field boundary signal RST1 is sent to the peak detector 239.

[0051] The high frequency component of the Y signal extracted with the high-pass filter 232 is sent to the peak detector 239. The peak detector 239 detects the maximum of a high frequency component for every level Rhine in each parallax calculation field E1 - E12. As a peak detector 239, as shown in drawing 8, the thing equipped with a comparison circuit 271, the maximum register 272, and the gate 273 is used. Drawing 9 shows the output of Horizontal Synchronizing signal Hsync of an input video signal, the field boundary signal RST1, and gate 273 grade.

[0052] The high frequency component of the Y signal extracted with the high-pass filter 232, the field boundary signal RST1, the judgment result signal La of a comparison circuit 271, and a clock signal CLK are inputted into the maximum register 272. A comparison circuit 271 compares the output of the maximum register 272 with the high frequency component of the Y signal in an input video signal, and when the high frequency component of a Y signal is larger than the output of the maximum register 272, it makes the judgment result signal La H level.

[0053] If the field boundary signal RST1 is set to H level, the content of the maximum register 272 will be set to 0. In the condition that the field boundary signal RST1 is L level, if the judgment result signal L1 from a comparison circuit 271 is H level, the high frequency component of a Y signal is stored in the maximum register 272. That is, the content of the maximum register 272 is updated. Therefore, the maximum of the high frequency components of the Y signal to each pixel of 1 level line in the parallax calculation field E1 corresponding to the level vertical position of an input video signal - E12 is accumulated in the maximum register 272 for every period whose field boundary signal RST1 is L level.

[0054] If the field boundary signal RST1 is set to H level, the gate 273 outputs the output value of the maximum register 272, and when the field boundary signal RST1 is L level, it will output 0. That is, from a gate circuit 273, whenever the field boundary signal RST1 is set to H level, the maximum of the high frequency component of the Y signal to 1 level line in the predetermined parallax calculation field E1 accumulated in the maximum register 272 - E12 is outputted. Therefore, the integrated value of the maximum of the high frequency component of the Y signal to each level line in a corresponding parallax calculation field will be accumulated in each high frequency component addition registers 241-252 (refer to drawing 7).

[0055] Drawing 10 shows the configuration of the brightness contrast calculation circuit 9.

[0056] The brightness contrast calculation circuit 9 is equipped with the timing signal generating circuit 301 and the brightness contrast detector group 302. the 1- respectively corresponding to each parallax calculation fields E1-E12 in the brightness contrast detector group 302 -- it has the 12th brightness contrast detector 311-322.

[0057] The input signal and output signal of the timing signal generating circuit 301 are the same as the input signal of the timing signal generating circuit 201 of drawing 3 , and an output signal.

[0058] Each brightness contrast detectors 311-322 are equipped with the 1st comparison circuit 331, maximum register 332, 2nd comparison circuit 333, minimum value register 334, and subtractor 335 as shown in drawing 11 .

[0059] Enable signal EN (N= 1, 2--12) of the fields E1-E12 corresponding to the Y signal in an input video signal and the brightness contrast detector concerned, the reset signal RST, the judgment signal Lb outputted from the 1st comparison circuit 331, and the clock signal CLK have inputted into the maximum register 332. The 1st comparison circuit 331 compares the output value of the maximum register 332 with the Y signal in an input video signal, and when the Y signal in an input video signal is larger than the output value of the maximum register 332, it makes the judgment signal Lb H level.

[0060] If a reset signal RST is set to H level, the content of the maximum register 332 will be set to 0. The enable signal EN of the fields E1-E12 corresponding to the brightness contrast detector concerned is H level, and a Y signal is stored in the maximum register 332 when the judgment signal Lb is H level. That is, the content of the maximum register 332 is updated. Therefore, just before output timing signal DOUT is outputted, the maximum of the brightness values of each pixel in the parallax calculation field E1 corresponding to the brightness contrast detector concerned - E12 is accumulated in the maximum register 332.

[0061] Enable signal EN (N= 1, 2--12) of the fields E1-E12 corresponding to the Y signal in an input video signal and the brightness contrast detector concerned, the reset signal RST, the judgment signal Lc outputted from the 2nd comparison circuit 333, and the clock signal CLK have inputted into the minimum value register 334. The 2nd comparison circuit 334 compares the output value of the minimum value register 334 with the Y signal in an input video signal, and when the Y signal in an input video signal is smaller than the output value of the minimum value register 334, it makes the judgment signal Lc H level.

[0062] If a reset signal RST is set to H level, the maximum beforehand set to the minimum value

register 334 will be set up. The enable signal EN of the fields E1-E12 corresponding to the brightness contrast detector concerned is H level, and a Y signal is stored in the minimum value register 334 when the judgment signal Lc is H level. That is, the content of the minimum value register 334 is updated. Therefore, just before output timing signal DOUT is outputted, the minimum value of the brightness values of each pixel in the parallax calculation field E1 corresponding to the brightness contrast detector concerned - E12 is accumulated in the minimum value register 334.

[0063] Consequently, when output timing signal DOUT is outputted, the output of a subtractor 335 serves as a value corresponding to the difference (brightness contrast) of the maximum of the brightness values of each pixel in the corresponding parallax calculation field E1 - E12, and the minimum value. And an output of output timing signal DOUT sends the output (brightness contrast) of a subtractor 335 to CPU3.

[0064] Drawing 12 shows the configuration of the saturation counting circuit 10.

[0065] The saturation counting circuit 10 is equipped with the timing signal generating circuit 341, the saturation calculation circuit 342, the adder circuit 343, the saturation addition register group 344, and the selection circuitry 345. the 1- respectively corresponding to each parallax calculation fields E1-E12 in the saturation addition register group 344 -- it has the 12th saturation addition register 351-362.

[0066] The input signal and output signal of the timing signal generating circuit 341 are the same as the input signal of the timing signal generating circuit 201 of drawing 3 , and an output signal.

[0067] The saturation calculation circuit 342 makes (R-Y) the value of the R-Y signal in an input video signal, calculates the following formula 1 by making the value of the B-Y signal in an input video signal into (B-Y), and calculates the value SAI corresponding to saturation.

[0068]

[Equation 1]

$$SAI = \sqrt{(R-Y)^2 + (B-Y)^2}$$

[0069] A reset signal RST is outputted to the effective image initiation timing in an input video signal, and the content of each saturation addition registers 351-362 is set to 0. While the saturation currently held at the 1st saturation addition register 351 is sent to an adder circuit 343 through a selection circuitry 345 since the 1st enable signal EN1 serves as H level when the level vertical position of an input video signal is in the 1st parallax calculation field E1, the saturation calculated by the saturation calculation circuit 342 inputs into an adder circuit 343.

[0070] Therefore, the saturation currently held at the 1st saturation addition register 351 and the saturation calculated by the saturation calculation circuit 342 are added by the adder circuit 343, and the addition result is stored in the 1st saturation addition register 351. That is, when the level vertical position of an input video signal is in the 1st parallax calculation field E1, the saturation of the pixel in the 1st parallax calculation field E1 is integrated, and the addition result is accumulated in the 1st saturation addition register 351.

[0071] thus, each parallax calculation field E1- the integrated value of the saturation in every E12 is accumulated in the corresponding saturation addition registers 351-362. and each parallax calculation field E1- accumulated in each saturation addition registers 351-362 if output timing signal DOUT serves as H level -- the integrated value of the saturation in every E12 is sent to CPU3 through a data bus.

[0072] Drawing 13 shows the calculation approach of the amount of parallax performed by CPU3.

[0073] the 1st normalization means 401 -- each parallax calculation field E1- the integrated value of the high frequency component in every E12 is normalized to the value of the range of 0-10. the 2nd normalization means 402 -- each parallax calculation field E1- the brightness contrast in every E12 is normalized to the value of the range of 0-10. the 3rd normalization means 403 -- each parallax calculation field E1- the brightness integrated value in every E12 is normalized to the value of the range of 0-10. the 4th normalization means 404 -- each parallax calculation field E1- the saturation integrated value in every E12 is normalized to the value of the range of 0-10.

[0074] normalized each parallax calculation field E1- after a multiplier K1 is integrated by the integrated value of the high frequency component in every E12 with the multiplication means 405, it is sent to the addition means 409. normalized each parallax calculation field E1- after a multiplier K2

is integrated with the multiplication means 406 by the brightness contrast in every E12, it is sent to the addition means 409. normalized each parallax calculation field E1- after a multiplier K3 is integrated with the multiplication means 407 by the brightness integrated value in every E12, it is sent to the addition means 409. normalized each parallax calculation field E1- after a multiplier K4 is integrated with the multiplication means 408 by the saturation integrated value in every E12, it is sent to the addition means 409.

[0075] As an example of multipliers K1, K2, K3, and K4, K1=0.6, K2=0.2, K3=0.1, and K4=0.1 are mentioned. Moreover, K1=0.75, K2=0.25, K3=0.0, and K4=0.0 are mentioned.

[0076] By controlling the set point of these multipliers K1-K4, one of the arbitration chosen from among the integrated value of a high frequency component, brightness contrast, the brightness integrated value, and the saturation integrated value or the combination of arbitration can be used as image characteristic quantity about the distance of an image.

[0077] Therefore, only the integrated value of a high frequency component can also be used as image characteristic quantity about the distance of an image. Only brightness contrast can also be used as image characteristic quantity about the distance of an image. As image characteristic quantity about the distance of an image, the integrated value and brightness contrast of a high frequency component can also be used. As image characteristic quantity about the distance of an image, the integrated value, the brightness contrast, and the brightness integrated value of a high frequency component can also be used. As image characteristic quantity about the distance of an image, the integrated value, the brightness contrast, and the saturation integrated value of a high frequency component can also be used. As image characteristic quantity about the distance of an image, the integrated value, the brightness contrast, brightness integrated value, and saturation integrated value of a high frequency component can also be used.

[0078] each parallax calculation field E1- obtained by each multiplication means 405-408 with the addition means 409 -- the value in every E12 is added. each parallax calculation field E1- obtained by the addition means 409 -- the value in every E12 is normalized by the value (henceforth depth information) of the range of 0-10 with the 5th normalization means 410. Drawing 14 shows the relation between the output value of the addition means 409, and the depth information acquired by the 5th normalization means 410. each parallax calculation field E1- the depth information in every E12 -- parallax calculation field E1- it is the information about the distance of the image in every E12. each parallax calculation field E1- obtained by the 5th normalization means 410 -- the depth information in every E12 is sent to the depth amendment means 411.

[0079] By the common image, a photographic subject exists ahead and the background exists back. Moreover, since there are many images which the focus suits to the photographic subject, it is thought that a high frequency component, contrast, brightness, and saturation are as high as a near object. So, with the gestalt of this operation, the field where the integrated value, the brightness contrast, brightness integrated value, and saturation integrated value of a high frequency component are larger is assumed that the body which exists ahead is reflected.

[0080] Therefore, the field where the depth information acquired by the addition means 409 is larger can be judged to be the field to which the body which exists ahead is reflected. If the stereoscopic vision location of the field to which the body which exists most ahead is reflected is set as the tubular surface location of three dimensional display equipment, the depth information acquired by the addition means 409 and the amount of depth from a tubular surface location are in inverse proportion.

[0081] Hereafter, the depth amendment processing by the depth amendment means 411 is explained.

[0082] About depth amendment processing, the way explained taking the case of the parallax calculation field set up actually understands, it is that of ******, and 60 parallax calculation fields actually set up to the 1 field are taken for an example, and the depth amendment processing by the depth amendment means 411 is explained. Drawing 15 shows 60 parallax calculation fields F1-F60 actually set up to the 1 field.

[0083] First, the average of depth information is computed for every line of the parallax calculation fields F1-F60. each parallax calculation field F1- the case where it is a value as the depth information in every F60 shows to drawing 16 -- the 1- the average of the depth information in every 6th line is set to 1.2, 3.6, 6.0, 7.2, 4.0, and 1.2.

[0084] Next, the field in which many bodies of this side location are reflected among each line of a parallax calculation field is extracted. That is, a line with the largest average of depth information is extracted. The field of the 4th line is extracted in the example of drawing 16 R> 6.

[0085] Next, about each field of the line which is in the lower berth from the extracted line, to a field right above, the depth information on each field of the line which is in the lower berth from the extracted line is adjusted so that depth information may not become small rapidly. The depth information on the field is made to change only 2 into the value to a field small [three or more] to a field right above with the depth information specifically smaller than the depth information on a field right above on each field of the line which is in the lower berth from the extracted line.

[0086] As shown in drawing 17 , in the example of drawing 16 , depth information is first amended for the depth information among each fields F41-F50 of the 5th line to the fields F42-F49 small [three or more] to the depth information on a field right above. Then, depth information is amended for that depth information among each fields F51-F60 of the 6th line to the fields F53-F58 small [three or more] to the depth information on a field right above (depth information after amendment).

[0087] That is, when the relation of the depth information over the height of the screen in the horizontal position of arbitration is relation as shown in drawing 18 with a curve U1, it is amended so that the relation of the depth information over the height of a screen may turn into relation as shown in drawing 18 at a curve U2 by depth amendment.

[0088] Thus, it is based on the following reason that the depth information on the field of the lower berth is amended from the field in which many bodies of this side location are reflected among each line of a parallax calculation field.

[0089] Generally, the body which exists ahead is reflected in the screen bottom in many cases. Moreover, the body reflected in the screen bottom is an image with little change like a ground surface in many cases. Since the image with little change has the low high frequency component, in spite of being ahead like a ground surface, the value of depth information becomes small. Then, by depth amendment, it is the body which is ahead and depth information over an image with a low high frequency component is made larger to extent which does not become large than the value of the depth information on the field of the right above of it.

[0090] The depth information on each field (although it is F1-F60 in practice, it considers as the expedient tops E1-E12 of explanation) of every that depth information was amended by the depth amendment means 411 is normalized within the limits of 0-10 by the re-normalization means 412. each field E1- obtained by the re-normalization means 412 -- the depth information in every E12 -- the parallax information decision means 413 -- each field E1- it is changed into the parallax information in every E12.

[0091] relation with the parallax information over the depth information to which the parallax information decision means 413 was set beforehand -- being based -- each field E1- depth information is changed into parallax information for every E12. The relation with the parallax information over depth information is the relation of reverse proportion, as shown to drawing 19 by straight lines S1 or S2.

[0092] In drawing 19 , the relation with the parallax information over the depth information shown in a straight line S1 is used to obtain 3-dimensional scenography with a comparatively strong cubic effect. The relation with the parallax information over the depth information shown in a straight line S2 is used to obtain 3-dimensional scenography with a comparatively weak cubic effect. It is possible by adjusting relation with the parallax information over depth information between a straight line S1 and a straight line S2 to adjust a cubic effect.

[0093] thus, obtained each field E1- the parallax information in every E12 is sent to the parallax control circuit 4 (refer to drawing 1). In addition, the depth amendment by the depth amendment means 411 may be omitted.

[0094] Drawing 20 mainly shows the parallax control circuit of drawing 1 , and the configuration of the arbitration pixel delay FIFO.

[0095] Although only the arbitration pixel delay FIFO 11 for left images to a Y signal and the arbitration pixel delay FIFO 21 for right images are shown in drawing 20 the arbitration pixel delay 11-FIFO 13 and among 21-23, other arbitration pixel delay 12, 13, 22, and FIFO 23 is the same

configurations, and since same control is performed, the explanation is omitted about other configurations and control approaches of the arbitration pixel delay 12, 13, 22, and FIFO 23.

[0096] By the way, the parallax information computed by CPU3 is the parallax information over the center position of each parallax calculation fields E1-E12. In the parallax control circuit 4, the parallax information over each pixel location of 1 field screen is searched for based on the parallax information over the center position of each parallax calculation fields E1-E12. And in order to generate the left image and right image which have the parallax according to the parallax information over the pixel location from the two-dimensional video signal over each pixel location, based on the parallax information over each pixel location, the read-out address of the arbitration pixel delay 11-FIFO 13 for left images and the arbitration pixel delay 21-FIFO 23 for right images is controlled.

[0097] The parallax information over each pixel location of 1 field screen is generated by the timing signal generating circuit 51, the parallax interpolation multiplier generating circuit 52, the parallax information storage means 60, the parallax selection circuitry 80, the 1st - the 4th multiplier 81-84, and the adder circuit 85.

[0098] Horizontal Synchronizing signal Hsync and Vertical Synchronizing signal Vsync of an input video signal are inputted into the timing signal generating circuit 51. Moreover, the clock signal CLK for detecting the level address of each level period is also inputted into the timing signal generating circuit 51.

[0099] The timing signal generating circuit 51 generates and outputs the relative vertical-position signal VPOS showing the relative vertical position showing the relative horizontal position of level address signal HAD showing the absolute horizontal position of an input video signal, vertical address signal VAD showing the absolute vertical position of an input video signal, and an input video signal of the relative horizontal position signal HPOS and an input video signal based on Horizontal Synchronizing signal Hsync, Vertical Synchronizing signal Vsync, and a clock signal CLK.

[0100] The relative horizontal position and relative vertical position of an input video signal are explained.

[0101] As shown in drawing 21, the parallax calculation fields E1-E12 of drawing 2 are set up as follows. The whole screen is divided into 20 fields (henceforth the 1st division field) of four-line five trains as a dotted line shows to drawing 21. And the square field which makes the core of the 1st division field of an upper left edge, the core of the 1st division field of a top right corner, the core of the 1st division field of a lower left edge, and the core of the 1st division field of a lower right edge four top-most vertices is divided into 12 fields (henceforth the 2nd division field) of three-line four trains, and each 2nd division field is set up as parallax calculation fields E1-E12.

[0102] The horizontal number of pixels of the 1st division field and the 2nd division field is expressed with m, and the number of pixels of the perpendicular direction of the 1st division field and the 2nd division field is expressed as n. The relative horizontal position of an input video signal sets the left end of each 1st division field to 0, sets a right end to m, and is expressed with 0- (m-1). The relative vertical position of an input video signal sets the upper bed of each 1st division field to 0, sets a soffit to n, and is expressed with 0- (n-1).

[0103] The relative horizontal position signal HPOS and the relative vertical position VPOS of an input video signal are sent to the parallax interpolation multiplier generating circuit 52. The parallax interpolation multiplier generating circuit 52 generates and outputs the 1st parallax interpolation multiplier KUL, the 2nd parallax interpolation multiplier KUR, the 3rd parallax interpolation multiplier KDL, and the 4th parallax interpolation multiplier KDR based on the relative horizontal position signal HPOS, the relative vertical position VPOS, and the following formula 2.

[0104]

[Equation 2]

$$KUL = (m - HPOS) / m * (n - VPOS) / n$$

$$KUR = HPOS / m * (n - VPOS) / n$$

$$KDL = (m - HPOS) / m * VPOS / n$$

$$KDR = HPOS / m * VPOS / n$$

[0105] The fundamental view of the approach of generating the parallax information over each pixel location of 1 field screen is explained using drawing 22 R> 2. Suppose that the level vertical position (henceforth an attention location) expressed by the level address signal HAD and the vertical address signal VAD is Pxy of drawing 22. The case where the parallax information over the attention location Pxy is searched for is explained.

[0106] (1) In four top-most vertices of the 1st division field where the attention location Pxy is included, and this example, the parallax information over the parallax calculation fields E1, E2, E5, and E6 consisting mainly of PE1, PE2, PE5, and PE6 is first extracted from from as UL, UR, DL, and DR, respectively among the parallax information over each parallax calculation fields E1-E12 computed by CPU3. The parallax information on the field E1 centering on upper left top-most vertices among four top-most vertices of the 1st division field where the attention location Pxy is included that is, as the 1st parallax information UL The parallax information on the field [information / on the field / information / on the field E2 centering on upper right top-most vertices / parallax / E5 centering on lower left top-most vertices / parallax] E6 centering on lower right top-most vertices is extracted as the 4th parallax information DR as the 3rd parallax information DL as the 2nd parallax information UR.

[0107] however -- a case so that only the top-most vertices which are one of four top-most vertices of the 1st division field where an attention location is included may correspond to the core of a parallax detection field like [in case the 1st division field where an attention location is included is the 1st division field of an upper left edge] -- the parallax information on the parallax calculation field -- the 1- it is extracted as 4th parallax information UL, UR, DL, and DR.

[0108] moreover, the 1st division field where an attention location is included like [in the case of being the 1st division field on the right of the 1st division field of an upper left edge] When only the top-most vertices which are lower two of four top-most vertices of the 1st division field where an attention location is included correspond to the core of a parallax calculation field As parallax information UL and UR corresponding to the top-most vertices which are upper two of four top-most vertices of the 1st division field where an attention location is included, the parallax information on the parallax calculation field centering on the top-most vertices of the bottom is extracted.

[0109] moreover, the 1st division field where an attention location is included like [in the case of being the 1st division field of a lower next door of the 1st division field of an upper left edge] When only the top-most vertices which are two of four top-most vertices of the 1st division field where an attention location is included of right-hand side correspond to the core of a parallax calculation field As parallax information UL and DL corresponding to the top-most vertices which are two of four top-most vertices of the 1st division field where an attention location is included of left-hand side, the parallax information on the parallax calculation field centering on the top-most vertices of the right-hand side is extracted.

[0110] moreover, the 1st division field where an attention location is included like [in the case of being the 1st division field on the left of the 1st division field of a lower right edge] When only the top-most vertices which are upper two of four top-most vertices of the 1st division field where an attention location is included correspond to the core of a parallax calculation field As parallax information DL and DR corresponding to the top-most vertices which are lower two of four top-most vertices of the 1st division field where an attention location is included, the parallax information on the parallax calculation field centering on the top-most vertices of the upside is extracted.

[0111] moreover, the 1st division field where an attention location is included like [in the case of being the 1st division field of an upper next door of the 1st division field of a lower right edge] When only the top-most vertices which are two of four top-most vertices of the 1st division field where an attention location is included of left-hand side correspond to the core of a parallax calculation field As parallax information UR and DR corresponding to the top-most vertices which are two of four top-most vertices of the 1st division field where an attention location is included of right-hand side, the parallax information on the parallax calculation field centering on the top-most vertices of the left-hand side is extracted.

[0112] (2) next, the 1- the 4th parallax interpolation multiplier KUL, KUR, KDL, and KDR is called for.

[0113] A ratio with distance deltaXR from the attention location Pxy to the right-hand side of the 1st division field e to the horizontal width of face m of the 1st division field e where the 1st parallax interpolation multiplier KUL includes the attention location Pxy $\{(m-HPOS)/m\}$, It asks by the product with a ratio $\{(n-VPOS)/n\}$ with distance deltaYD from the attention location Pxy to the lower side of the 1st division field e to the perpendicular direction width of face n of the 1st division field e. That is, the 1st parallax interpolation multiplier KUL becomes so large that the distance of the upper left top-most vertices PE 1 of the 1st division field e and the attention location Pxy including the attention location Pxy is small.

[0114] The 2nd parallax interpolation multiplier KUR is a ratio (it asks by the product with the ratio $\{(n-VPOS)/n\}$ of HPOS/m} and distance deltaYD from the attention location Pxy to the lower side of the 1st division field e to the perpendicular direction width of face n of the 1st division field e.) with distance deltaXL from the attention location Pxy to the left part of the 1st division field e to the horizontal width of face m of the 1st division field e including the attention location Pxy. That is, the 2nd parallax interpolation multiplier KUR becomes so large that the distance of the upper right top-most vertices PE 2 of the 1st division field e and the attention location Pxy including the attention location Pxy is small.

[0115] The 3rd parallax interpolation multiplier KDL is called for by the product of a ratio $\{(m-HPOS)/m\}$ with distance deltaXR to the right-hand side of the 1st division field e, and a ratio (VPOS/n) with distance deltaYU from the attention location Pxy to the perpendicular direction width of face n of the 1st division field e to the top chord of the 1st division field e from the attention location Pxy to the horizontal width of face m of the 1st division field e including the attention location Pxy. That is, the 3rd parallax interpolation multiplier KDL becomes so large that the distance of the lower left top-most vertices PE 5 of the 1st division field e and the attention location Pxy including the attention location Pxy is small.

[0116] The 4th parallax interpolation multiplier KDR is called for by the product of a ratio (HPOS/m) with distance deltaXL from the attention location Pxy to the left part of the 1st division field e to the horizontal width of face m of the 1st division field e including the attention location Pxy, and a ratio (VPOS/n) with distance deltaYU from the attention location Pxy to the top chord of the 1st division field e to the perpendicular direction width of face n of the 1st division field e. That is, the 4th parallax interpolation multiplier KDR becomes so large that the distance of the lower right top-most vertices PE 6 of the 1st division field e and the attention location Pxy including the attention location Pxy is small.

[0117] (3) the 1- extracted above (1) -- the 1- computed above (2) by the 4th parallax information UL, UR, DL, and DR, respectively -- the multiplication of the 4th parallax interpolation multiplier KUL, KUR, KDL, and KDR is carried out, respectively. And the parallax information over the attention location Pxy is generated by adding four acquired multiplication values.

[0118] the 1- in which the parallax information storage means 60 was formed respectively corresponding to fields E1-E12 -- it has the 12th parallax register 61-72. the 1- the parallax information over each fields E1-E12 generated by CPU3 is stored in the 12th parallax register 61-72.

[0119] The parallax selection circuitry 80 is formed in the latter part of the parallax information storage means 60. Parallax information is sent to the parallax selection circuitry 80 from each parallax registers 61-72, respectively. Furthermore, the level address signal HAD and the vertical address signal VAD are sent to the parallax selection circuitry 80 from the timing signal generating circuit 51.

[0120] According to the regulation shown in drawing 23 (a), the parallax selection circuitry 80 chooses the parallax information over the field (parallax calculation field centering on the upper left top-most vertices of the 1st field which includes an attention location in the example of drawing 22) corresponding to the level address signal HAD and the vertical address signal VAD as the 1st parallax information UL, and outputs it. Furthermore, according to the regulation shown in drawing 23 (b), the parallax selection circuitry 80 chooses the parallax information over the field (parallax calculation field centering on the upper right top-most vertices of the 1st field which includes an attention location in the example of drawing 22) corresponding to the level address signal HAD and the vertical address signal VAD as the 2nd parallax information UR, and outputs it.

[0121] Furthermore, according to the regulation shown in drawing 23 (c), the parallax selection circuitry 80 chooses the parallax information over the field (parallax calculation field centering on the lower left top-most vertices of the 1st field which includes an attention location in the example of drawing 22) corresponding to the level address signal HAD and the vertical address signal VAD as the 3rd parallax information DL, and outputs it. Furthermore, according to the regulation shown in drawing 23 (d), the parallax selection circuitry 80 chooses the parallax information over the field (parallax calculation field centering on the lower right top-most vertices of the 1st field which includes an attention location in the example of drawing 22) corresponding to the level address signal HAD and the vertical address signal VAD as the 4th parallax information DR, and outputs it. the notation currently expressed by a-b like 0 - m in drawing 23 -- "-" is used as a notation which means under b more than a.

[0122] The 1st parallax information UL chosen by the parallax selection circuitry 80, the 2nd parallax information UR, the 3rd parallax information DL, and the 4th parallax information DR are inputted into the 1st, 2nd, 3rd, and 4th multipliers 81, 82, 83, and 84, respectively.

[0123] The 1st parallax interpolation multiplier KUL, the 2nd parallax interpolation multiplier KUR, the 3rd parallax interpolation multiplier KDL, and the 4th parallax interpolation multiplier KDR from the parallax interpolation multiplier generating circuit 52 are also inputted into the 1st, 2nd, 3rd, and 4th multipliers 81, 82, 83, and 84, respectively.

[0124] The 1st multiplier 81 carries out the multiplication of the 1st parallax interpolation multiplier KUL to the 1st parallax information UL. The 2nd multiplier 82 carries out the multiplication of the 2nd parallax interpolation multiplier KUR to the 2nd parallax information UR. The 3rd multiplier 83 carries out the multiplication of the 3rd parallax interpolation multiplier KDL to the 3rd parallax information DL. The 4th multiplier 84 carries out the multiplication of the 4th parallax interpolation multiplier KDR to the 4th parallax information DR.

[0125] The output of each multipliers 81, 82, 83, and 84 is added by the adder circuit 85. Thereby, the parallax information PR over an attention location is acquired.

[0126] Each arbitration pixel delay 11 and FIFO 21 is equipped with the line memory 11a, 11b, 21a, and 21b of two ***** in order to perform level phase control in a unit smaller than 1 pixel.

While the Y signal is inputted, respectively, the clock signal CLK has inputted into each arbitration pixel delay FIFO 11 and two line memory 11a, 11b, 21a, and 21b in 21.

[0127] The level address signal HAD currently outputted from the timing signal generating circuit 51 is inputted also into the standard address generation circuit 90. The standard address generation circuit 90 generates and outputs the standard write-in address WAD and the standard read-out address RAD to each arbitration pixel delay FIFO 11 and two line memory 11a, 11b, 21a, and 21b in 21. Moreover, the standard address generation circuit 90 outputs the synchronizing signal Csync added to the left video signal and right video signal which are acquired by 2D / 3D inverter. The Horizontal Synchronizing signal expressed by this synchronizing signal Csync turns into a signal which was overdue several predetermined clock minutes from Horizontal Synchronizing signal Hsync of an input video signal.

[0128] The standard read-out address RAD is late several predetermined clock minutes to the standard write-in address WAD, in order to enable it to advance or delay the level phase of the video signal inputted into each arbitration pixel delay 11 and FIFO 21 to the criteria level phase specified by the standard read-out address. The standard write-in address WAD outputted from the standard address generation circuit 90 is inputted into each arbitration pixel delay FIFO 11 and two line memory 11a, 11b, 21a, and 21b in 21 as a write-in control signal which shows the write-in address.

[0129] The standard read-out address RAD outputted from the standard address generation circuit 90 is inputted into an adder 91 and a subtractor 92, respectively. The parallax information PR on the attention location outputted from an adder circuit 85 is inputted into the adder 91 and the subtractor 92.

[0130] In an adder 91, the parallax information PR is added to the standard read-out address RAD. Thereby, the read-out address PRL for left images is obtained.

[0131] The integer part PRL 1 of the read-out address PRL for left images is read to 1st line memory 11a in the arbitration pixel delay FIFO 11 for left images, and is inputted as the address RADL1. Therefore, reading appearance of the Y signal is carried out from the address corresponding to the

address RADL1 of 1st line memory 11a. The Y signal by which reading appearance was carried out is inputted into the 1st multiplier 101 for left images.

[0132] The address value with which 1 was added to the integer part PRL 1 of the read-out address PRL for left images is read to 2nd line memory 11b in the arbitration pixel delay FIFO 11 for left images, and is inputted as the address RADL2. Therefore, reading appearance of the Y signal is carried out from the address corresponding to the address RADL2 of 2nd line memory 11b. The Y signal by which reading appearance was carried out is inputted into the 2nd multiplier 102 for left images.

[0133] In the read-out address RADL1 to 1st line memory 11a, and the read-out address RADL2 to 2nd line memory 11b, the Y signal by which reading appearance was carried out from 1st line memory 11a since only 1 differed, and the Y signal by which reading appearance was carried out from 2nd line memory 11b serve as a signal with which the horizontal position shifted only in 1.

[0134] The fraction part PRL 2 of the read-out address PRL for left images is inputted into the 2nd multiplier 102 for left images as 2nd left image interpolation multiplier. The value (1-PRL2) subtracted from 1 inputs the fraction part PRL 2 of the read-out address PRL for left images into the 1st multiplier 101 for left images as 1st left image interpolation multiplier.

[0135] Therefore, in the 1st multiplier 101 for left images, the multiplication of the 1st left image interpolation multiplier (1-PRL2) is carried out to the Y signal by which reading appearance was carried out from 1st line memory 11a. In the 2nd multiplier 102 for left images, the multiplication of the 2nd left image interpolation multiplier PRL 2 is carried out to the Y signal by which reading appearance was carried out from 2nd line memory 11b. And the Y signal obtained by each multipliers 101 and 102 is outputted as Y-signal YL-OUT for left images, after being added with an adder 103.

[0136] Thereby, the Y signal for left images only the amount according to the parallax information over an attention location was behind [Y signal] in the amount of level phases is obtained to the criteria level phase specified by the standard read-out address RAD.

[0137] In a subtractor 92, the parallax information PR is subtracted from the standard read-out address RAD. Thereby, the read-out address PRR for right images is obtained.

[0138] The integer part PRR 1 of the read-out address PRR for right images is read to 1st line memory 21a in the arbitration pixel delay FIFO 21 for right images, and is inputted as the address RADR1. Therefore, reading appearance of the Y signal is carried out from the address corresponding to the address RADR1 of 1st line memory 21a. The Y signal by which reading appearance was carried out is inputted into the 1st multiplier 111 for right images.

[0139] The address value with which 1 was added to the integer part PRR 1 of the read-out address PRR for right images is read to 2nd line memory 21b in the arbitration pixel delay FIFO 21 for right images, and is inputted as the address RADR2. Therefore, reading appearance of the Y signal is carried out from the address corresponding to the address RADR2 of 2nd line memory 21b. The Y signal by which reading appearance was carried out is inputted into the 2nd multiplier 112 for right images.

[0140] In the read-out address RADR1 to 1st line memory 21a, and the read-out address RADR2 to 2nd line memory 21b, the Y signal by which reading appearance was carried out from 1st line memory 21a since only 1 differed, and the Y signal by which reading appearance was carried out from 2nd line memory 21b serve as a signal with which the horizontal position shifted only in 1.

[0141] The fraction part PRR 2 of the read-out address PRR for right images is inputted into the 2nd multiplier 112 for right images as 2nd right image interpolation multiplier. The value (1-PRR2) subtracted from 1 inputs the fraction part PRR 2 of the read-out address PRR for right images into the 1st multiplier 111 for right images as 1st right image interpolation multiplier.

[0142] Therefore, in the 1st multiplier 111 for right images, the multiplication of the 1st right image interpolation multiplier (1-PRR2) is carried out to the Y signal by which reading appearance was carried out from 1st line memory 21a. In the 2nd multiplier 112 for right images, the multiplication of the 2nd right image interpolation multiplier PRR 2 is carried out to the Y signal by which reading appearance was carried out from 2nd line memory 21b. And the Y signal obtained by each multipliers 111 and 112 is outputted as Y-signal YR-OUT for right images, after being added with an adder 113.

[0143] Thereby, the Y signal for right images to which only the amount according to parallax information [as opposed to an attention location in the amount of level phases] progressed is obtained to the criteria level phase specified by the standard read-out address RAD.

[0144] Drawing 24 shows the signal of each part in case the parallax information over an attention location is 0.

[0145] when parallax information is 0, reading appearance for left images is carried out, and it becomes the address which consists only of integer part which is outputted from an adder 91, which is outputted from Address PRL and a subtractor 92, and which carries out standard reading appearance of both the addresses PRR by carrying out reading appearance for right images, and does not have fraction part equal to Address RAD.

[0146] Therefore, the read-out address RADL1 to 1st line memory 11a in the arbitration pixel delay FIFO 11 for left images and the read-out address RADR1 to 1st line memory 21a in the arbitration pixel delay FIFO 21 for right images turn into the address equal to the standard read-out address RAD.

[0147] Moreover, the read-out address RADL2 to 2nd line memory 11b in the arbitration pixel delay FIFO 11 for left images and the read-out address RADR2 to 2nd line memory 21b in the arbitration pixel delay FIFO 21 for right images serve as a value only with 1 [larger] than the standard read-out address RAD.

[0148] Moreover, the 1st left image interpolation multiplier (1-PRL2) and the 1st right image interpolation multiplier (1-PRR2) are set to 1, and the 2nd left image interpolation multiplier PRL 2 and the 2nd right image interpolation multiplier PRR 2 are set to 0.

[0149] Consequently, the Y signal by which reading appearance was carried out from the address corresponding to the standard address RAD of 1st line memory 11a in the arbitration pixel delay FIFO 11 for left images is outputted as Y-signal YL-OUT for left images from an adder 103. The Y signal by which reading appearance was carried out from the address corresponding to the standard address RAD of 1st line memory 21a in the arbitration pixel delay FIFO 21 for right images is outputted as Y-signal YR-OUT for right images from an adder 113. That is, the Y signal whose horizontal amount of phase shifts is the two [same], i.e., the Y signal which is two without parallax, is outputted as the Y signal for left images, and a Y signal for right images.

[0150] The standard write-in address WAD to a certain attention location is 20, the standard read-out address RAD to the above-mentioned attention location is 10, and drawing 25 shows the example of each address value in case the parallax information over the above-mentioned attention location is 1.2. Drawing 26 shows the signal of each part in that case.

[0151] In this case, the read-out address PRL for left images outputted from an adder 91 is set to 11.2, that integer part PRL 1 is set to 11, and that fraction part PRL 2 is set to 0.2.

[0152] Therefore, the read-out address RADL1 to 1st line memory 11a in the arbitration pixel delay FIFO 11 for left images is set to 11, and the read-out address RADL2 to 2nd line memory 11b is set to 12. Moreover, the 1st left image interpolation multiplier KL1 {= (1-PRL2)} is set to 0.8, and the 2nd left image interpolation multiplier KL2 (=PRL2) is set to 0.2.

[0153] Therefore, reading appearance of the Y signal (Y11) is carried out from the address 11 of 1st line memory 11a in the arbitration pixel delay FIFO 11 for left images, and a 0.8 times as many signal (0.8*Y11) as the Y signal (Y11) by which reading appearance was carried out is outputted from the 1st multiplier 101.

[0154] On the other hand, reading appearance of the Y signal (Y12) is carried out from the address 12 of 2nd line memory 11b in the arbitration pixel delay FIFO 11 for left images, and a 0.2 times as many signal (0.2*Y12) as the Y signal (Y12) by which reading appearance was carried out is outputted from the 2nd multiplier 102. And from an adder 103, Y-signal YL-OUT for left images equivalent to $0.8*Y11+0.2*Y12$ is outputted. That is, the Y signal equivalent to the read-out address 11.2 is outputted as Y-signal YL-OUT for left images.

[0155] The read-out address PRR for right images outputted from a subtractor 92 is set to 8.8, the integer part PRR 1 is set to 8, and the fraction part PRR 2 is set to 0.8.

[0156] Therefore, the read-out address RADR1 to 1st line memory 21a in the arbitration pixel delay FIFO 21 for right images is set to 8, and the read-out address RADR2 to 2nd line memory 21b is set to 9. Moreover, the 1st right image interpolation multiplier KR1 {= (1-PRR2)} is set to 0.2, and the

2nd right image interpolation multiplier KR2 (=PRR2) is set to 0.8.

[0157] Therefore, reading appearance of the Y signal (Y8) is carried out from the address 8 of 1st line memory 21a in the arbitration pixel delay FIFO 21 for right images, and a 0.2 times as many signal ($0.2 \times Y8$) as the Y signal (Y8) by which reading appearance was carried out is outputted from the 1st multiplier 111.

[0158] On the other hand, reading appearance of the Y signal (Y9) is carried out from the address 9 of 2nd line memory 21b in the arbitration pixel delay FIFO 21 for right images, and a 0.8 times as many signal ($0.8 \times Y9$) as the Y signal (Y9) by which reading appearance was carried out is outputted from the 2nd multiplier 112. And from an adder 113, it is $0.2 \times Y8 + 0.8 \times Y9$. Corresponding Y-signal YR-OUT for right images is outputted. That is, the Y signal equivalent to the read-out address 8.8 is outputted as Y-signal YR-OUT for right images.

[0159] Consequently, the left image and right image which have mutually the parallax (information 1.2 twice the parallax [i.e.,] of parallax) of $11.2 - 8.8 = 2.4$ are acquired.

[0160] Since the field memory for generating the video signal delayed by 2D / 3-D image inverter by the gestalt of the above-mentioned implementation in time to the original two-dimensional video signal is unnecessary, cheap-ization of cost can be attained. Moreover, even if the image expressed with 2D / 3-D image inverter by the gestalt of the above-mentioned implementation by the original two-dimensional video signal is a quiescence image, 3-dimensional scenography can be obtained.

[0161]

[Effect of the Invention] According to this invention, the field memory for generating the video signal delayed in time to the original two-dimensional video signal becomes unnecessary, and the equipment and the approach of changing into a 3D scenography realize the two-dimensional image which can attain cheap-ization of cost.

[0162] Moreover, according to this invention, even if the image expressed by the original two-dimensional video signal is a quiescence image, the equipment and the approach of changing into a 3D scenography the two-dimensional image from which 3-dimensional scenography is obtained are realized.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is the block diagram showing 2D / whole 3-D image inverter configuration.
- [Drawing 2] It is the mimetic diagram showing a parallax calculation field.
- [Drawing 3] It is the block diagram showing the configuration of a brightness counting circuit.
- [Drawing 4] It is the block diagram showing the configuration of a high frequency component counting circuit.
- [Drawing 5] It is the circuit diagram showing the example of the high-pass filter 232 of drawing 4 .
- [Drawing 6] It is the graph which shows the input-output behavioral characteristics of the slice processing circuit 234 of drawing 4 .
- [Drawing 7] It is the block diagram showing other examples of a high frequency component counting circuit.
- [Drawing 8] It is the circuit diagram showing the example of the peak detector 239 of drawing 7 .
- [Drawing 9] It is the timing diagram which shows the signal of each part of the peak detector 239.
- [Drawing 10] It is the block diagram showing the configuration of a brightness contrast calculation circuit.
- [Drawing 11] It is the circuit diagram showing the configuration of the brightness contrast detector of drawing 10 .
- [Drawing 12] It is the circuit diagram showing the configuration of a saturation counting circuit.
- [Drawing 13] It is an explanatory view for explaining the generation method of the parallax information by CPU.
- [Drawing 14] It is the graph which shows the input/output relation of the normalization means 410 of drawing 13 .
- [Drawing 15] It is the mimetic diagram showing the parallax calculation field actually set up.
- [Drawing 16] It is the mimetic diagram showing an example of the depth information on each parallax calculation field before depth amendment.
- [Drawing 17] It is the mimetic diagram showing the depth information on each parallax calculation field after depth amendment.
- [Drawing 18] It is the graph which shows relation with the depth information over the height location of the screen before depth amendment, and relation with the depth information over the height location of the screen after depth amendment.
- [Drawing 19] It is the graph which shows the relation between depth information and parallax information.
- [Drawing 20] It is mainly the block diagram showing the configuration of a parallax control circuit and the arbitration pixel delay FIFO.
- [Drawing 21] It is the mimetic diagram showing a relative horizontal position, a relative vertical position, etc.
- [Drawing 22] It is an explanatory view for explaining how generating the parallax information over an attention pixel.
- [Drawing 23] It is drawing showing the selection rule by the parallax selection circuitry.
- [Drawing 24] It is the timing diagram which shows the signal of each part in case parallax information is 0.
- [Drawing 25] It is the block diagram which appended each address value in case parallax

information is 1.2 to the parallax control circuit.

[Drawing 26] It is the timing diagram which shows the signal of each part in case parallax information is 1.2.

[Description of Notations]

1 AD Translation Circuit

3 CPU

4 Parallax Control Circuit

5 Six DA translation circuit

7 Brightness Counting Circuit

8 High Frequency Component Counting Circuit

9 Brightness Contrast Calculation Circuit

10 Saturation Counting Circuit

11, 12, 13 Arbitration pixel delay FIFO for left images

21, 22, 23 Arbitration pixel delay FIFO for right images

11a, 11b, 21a, 21b Line memory

51 Timing Signal Generating Circuit

52 Parallax Interpolation Multiplier Generating Circuit

60 Parallax Information Storage Means

61-72 Parallax register

80 Parallax Selection Circuitry

81-84 Multiplier

85 Adder Circuit

90 Standard Address Generation Circuit

91 Adder

92 Subtractor

101, 102, 111, 112 Multiplier

103 113 Adder

401, 402, 403, 404, 410, 412 Normalization means

405, 406, 407, 408 Multiplication means

409 Addition Means

411 Depth Amendment Means

413 Parallax Information Decision Means

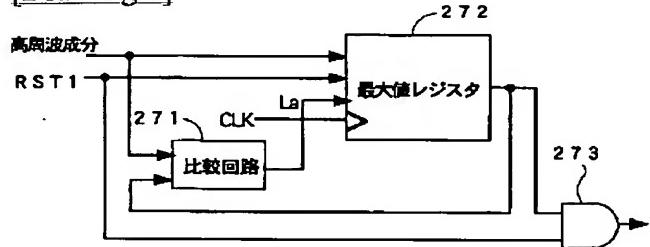
[Translation done.]

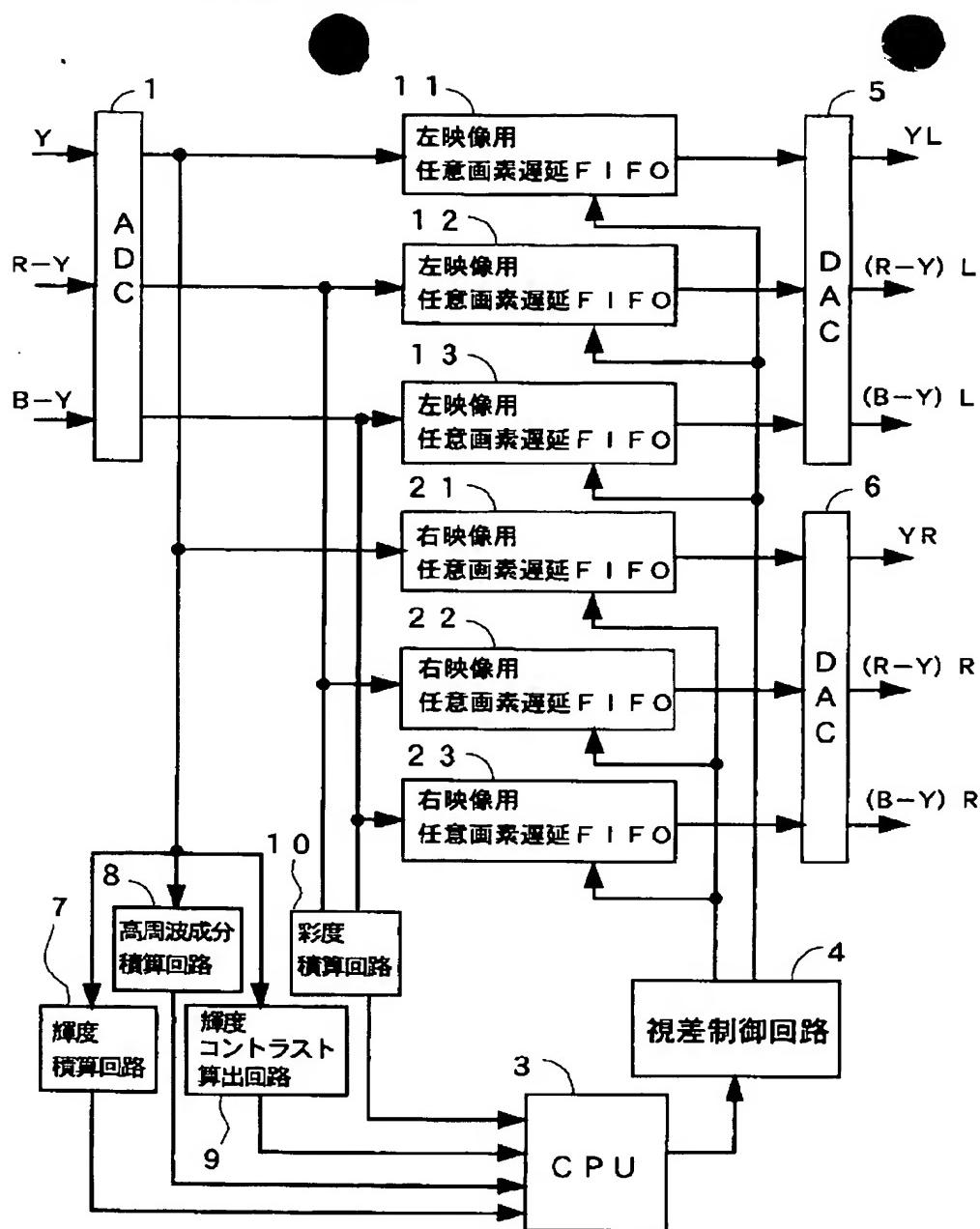
*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

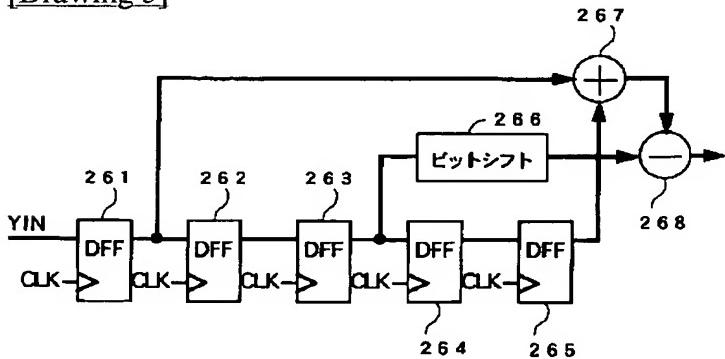
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

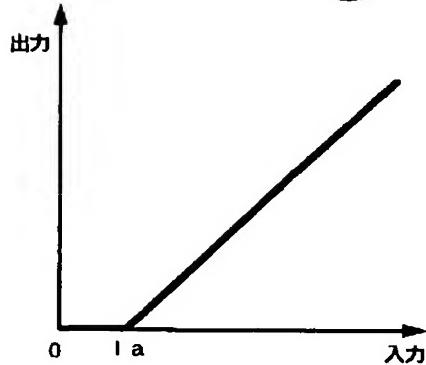
[Drawing 8]**[Drawing 1]**



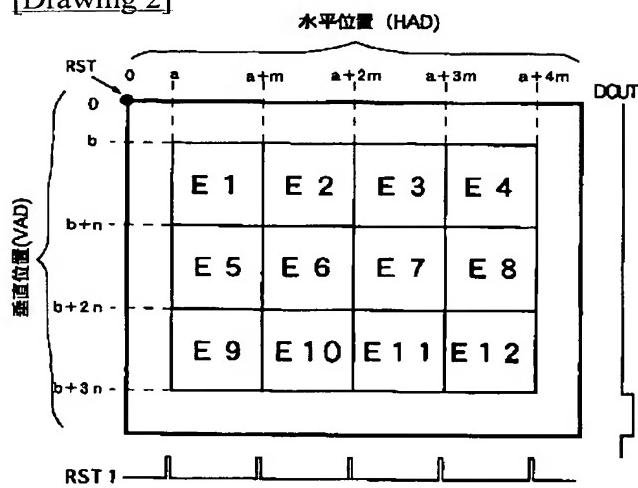
[Drawing 5]



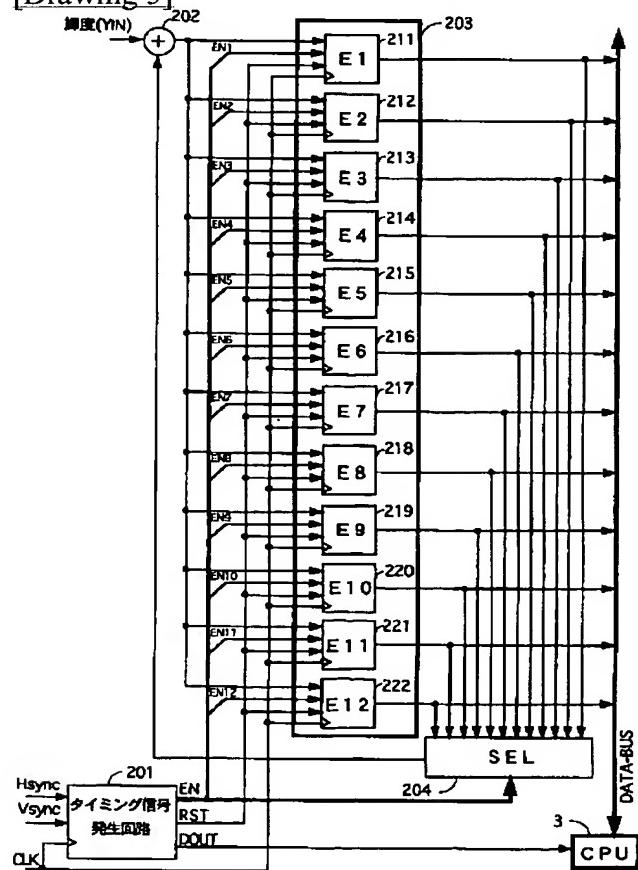
[Drawing 6]



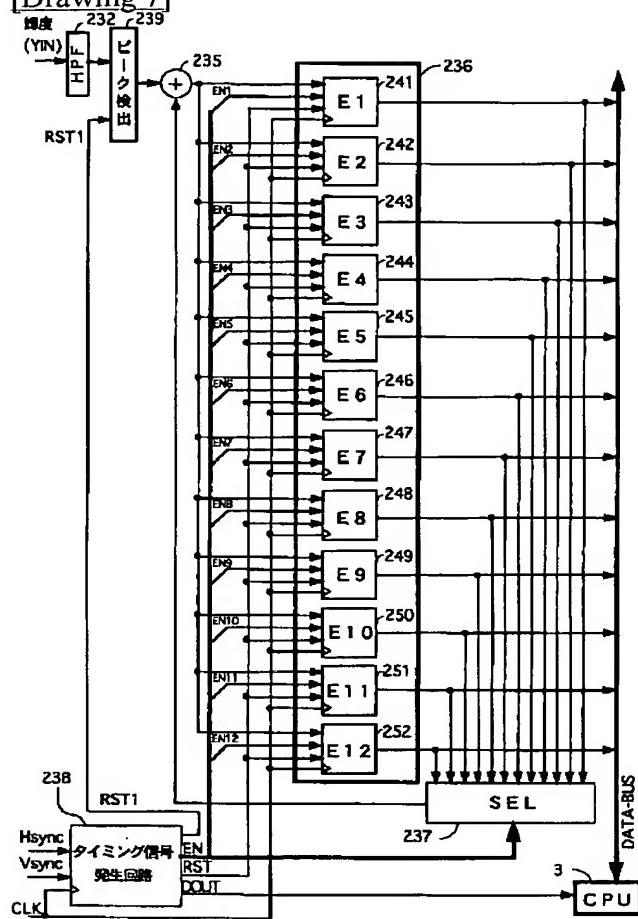
[Drawing 2]



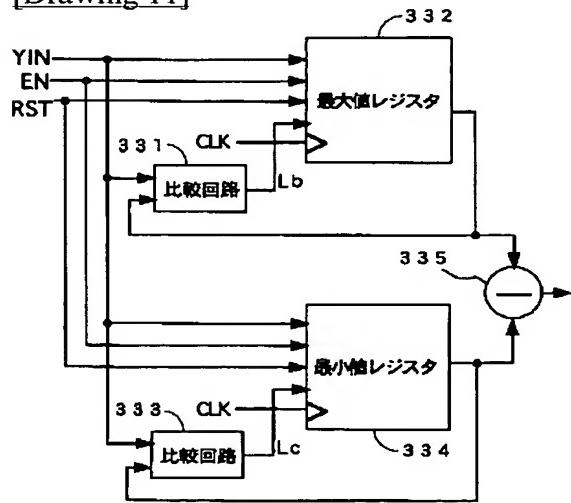
[Drawing 3]



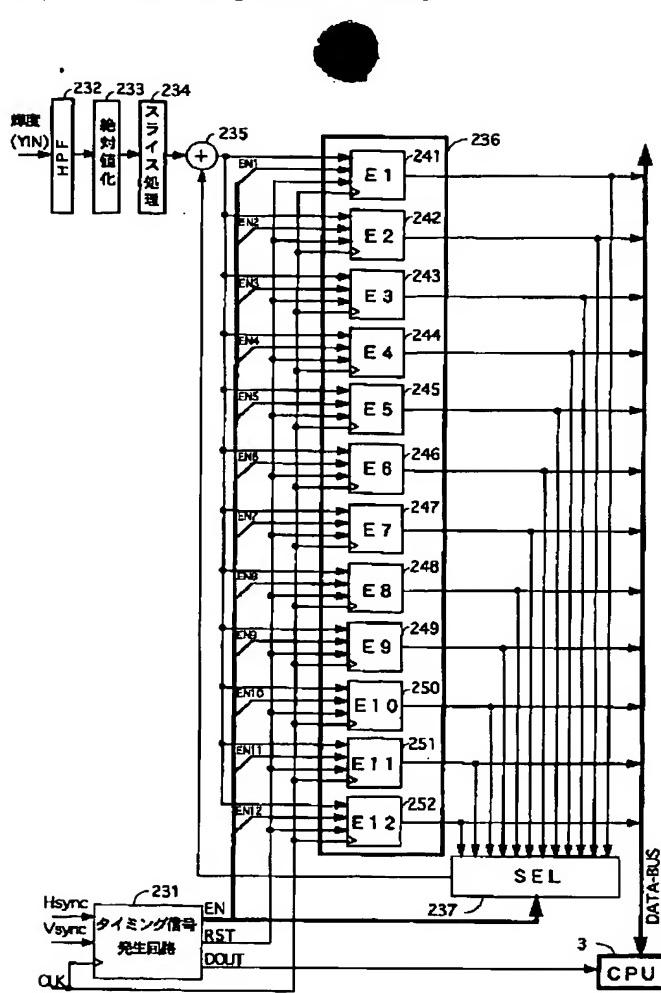
[Drawing 7]



[Drawing 11]



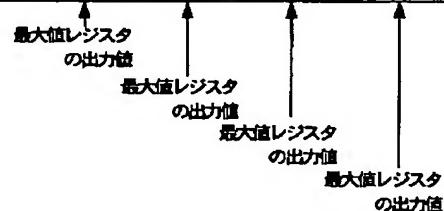
[Drawing 4]



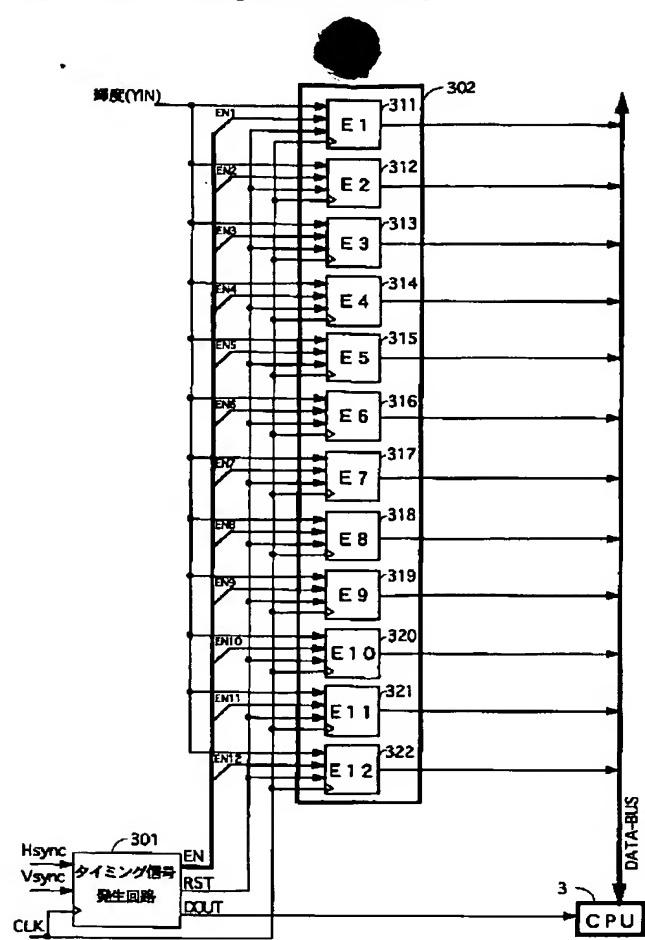
[Drawing 9]



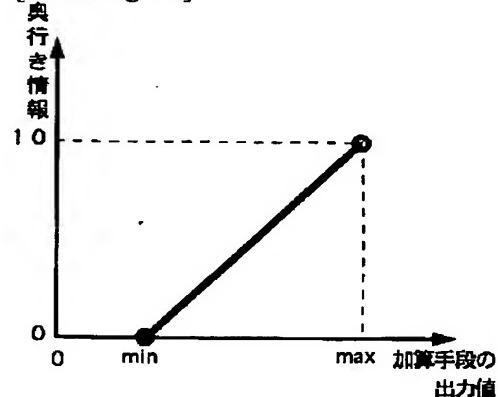
E1, E5, E9	E2, E6, E10	E3, E7, E11	E4, E8, E12
------------	-------------	-------------	-------------

ゲート273
の出力

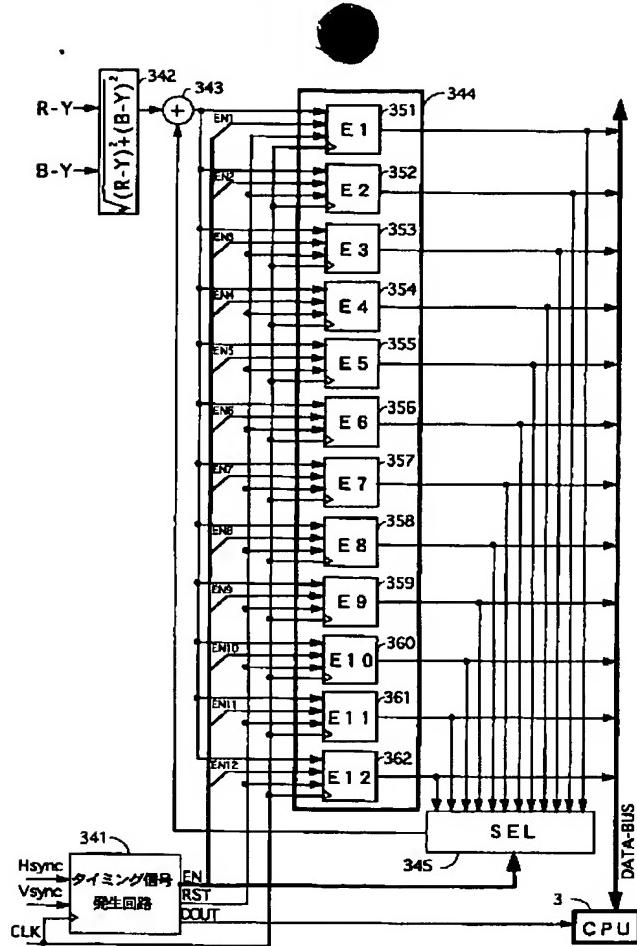
[Drawing 10]



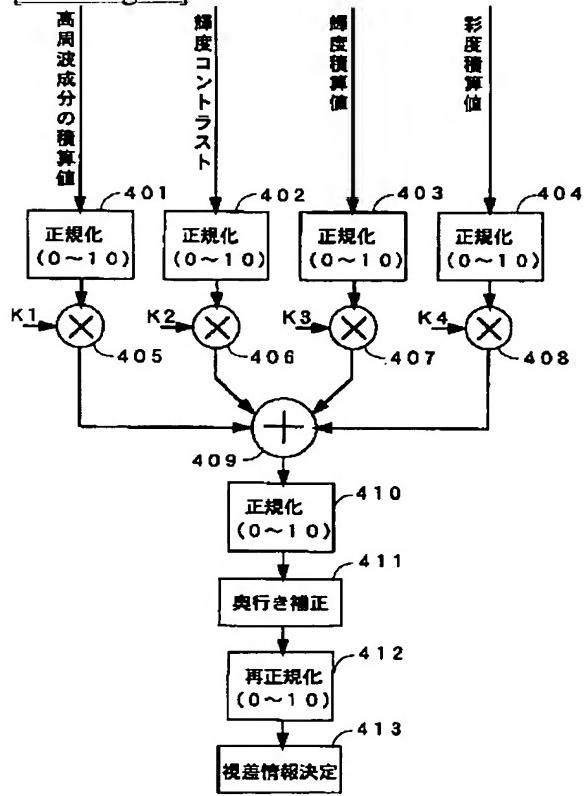
[Drawing 14]



[Drawing 12]



[Drawing 13]



[Drawing 15]

F1	F2	F3	F4	F5	F6	F7	F8	F9	F10
F11	F12	F13	F14	F15	F16	F17	F18	F19	F20
F21	F22	F23	F24	F25	F26	F27	F28	F29	F30
F31	F32	F33	F34	F35	F36	F37	F38	F39	F40
F41	F42	F43	F44	F45	F46	F47	F48	F49	F50
F51	F52	F53	F54	F55	F56	F57	F58	F59	F60

Drawing 17

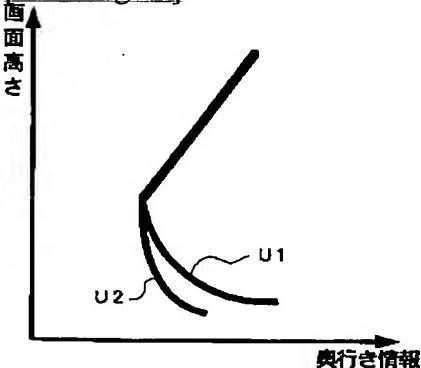
2	2	1	1	0	0	1	1	2	2
2	2	4	4	6	6	4	4	2	2
2	4	6	8	10	10	8	6	4	2
4	6	8	8	10	10	8	8	6	4
2	(4)	(6)	(6)	(8)	(8)	(6)	(6)	(4)	2
2	2	(4)	(4)	(6)	(6)	(4)	(4)	2	2

Drawing 16

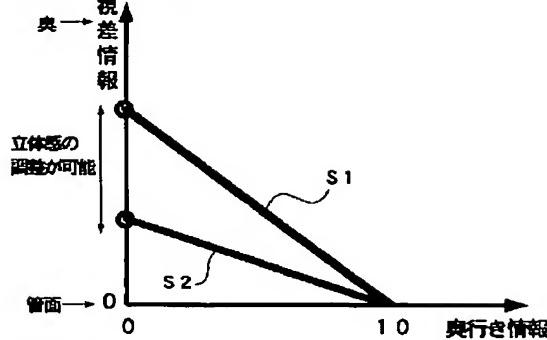
2	2	1	1	0	0	1	1	2	2
2	2	4	4	6	6	4	4	2	2
2	4	6	8	10	10	8	6	4	2
4	6	8	8	10	10	8	8	6	4
2	3	4	5	6	6	5	4	3	2
2	2	1	1	0	0	1	1	2	2

1. 2 3. 6 6. 0 7. 2 4. 0 1. 2

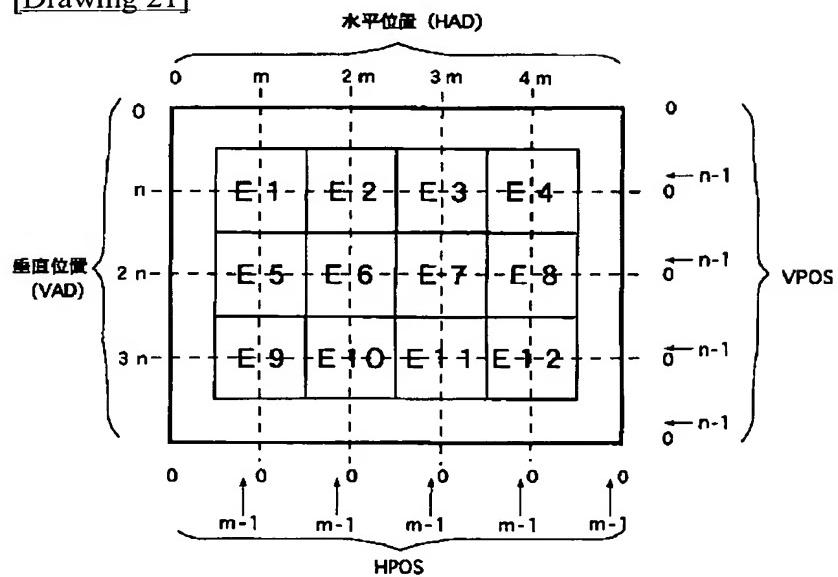
Drawing 18



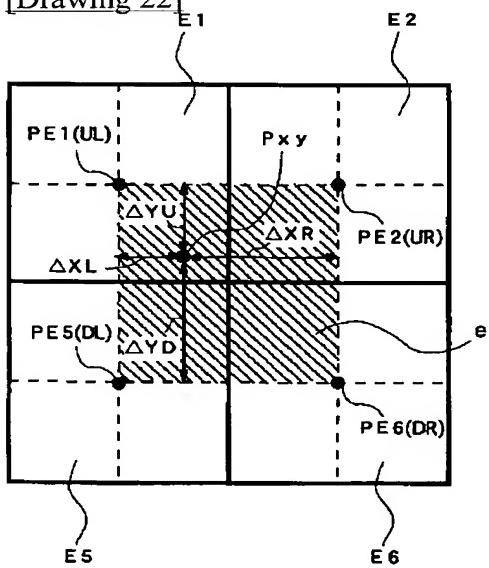
[Drawing 19]



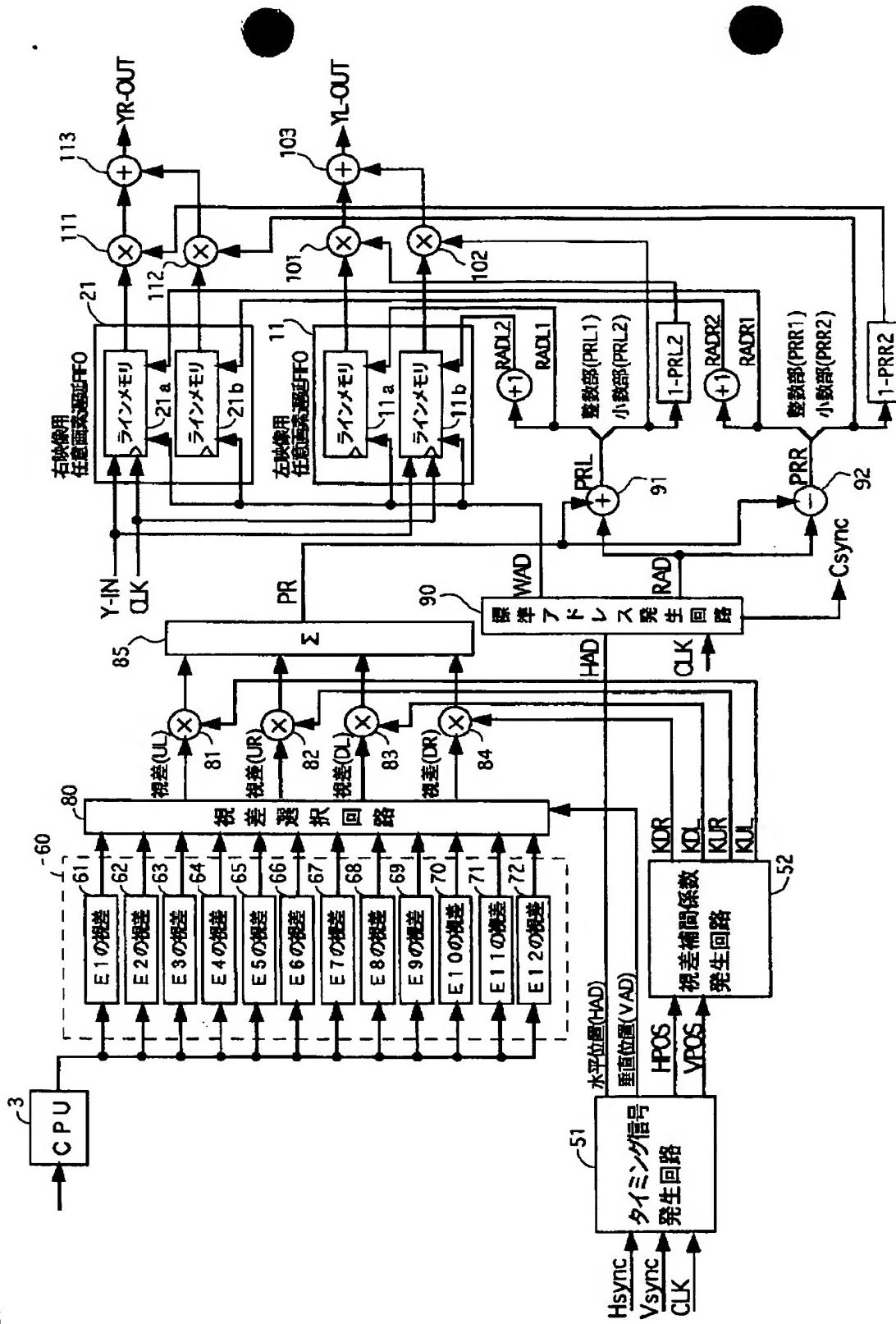
[Drawing 21]



[Drawing 22]



[Drawing 20]



[Drawing 23]

機器UL	水平位置					
	0~m	m~2m	2m~3m	3m~4m	4m~0	
垂直位置	0~n	E1	E1	E2	E3	E4
	n~2n	E1	E1	E2	E3	E4
	2n~3n	E5	E5	E6	E7	E8
	3n~4n	E9	E9	E10	E11	E12

(a)

機器UR	水平位置					
	0~m	m~2m	2m~3m	3m~4m	4m~0	
垂直位置	0~n	E1	E2	E3	E4	E4
	n~2n	E1	E2	E3	E4	E4
	2n~3n	E5	E6	E7	E8	E8
	3n~4n	E9	E10	E11	E12	E12

(b)

機器DL	水平位置					
	0~m	m~2m	2m~3m	3m~4m	4m~0	
垂直位置	0~n	E1	E1	E2	E3	E4
	n~2n	E5	E5	E6	E7	E8
	2n~3n	E9	E9	E10	E11	E12
	3n~4n	E9	E9	E10	E11	E12

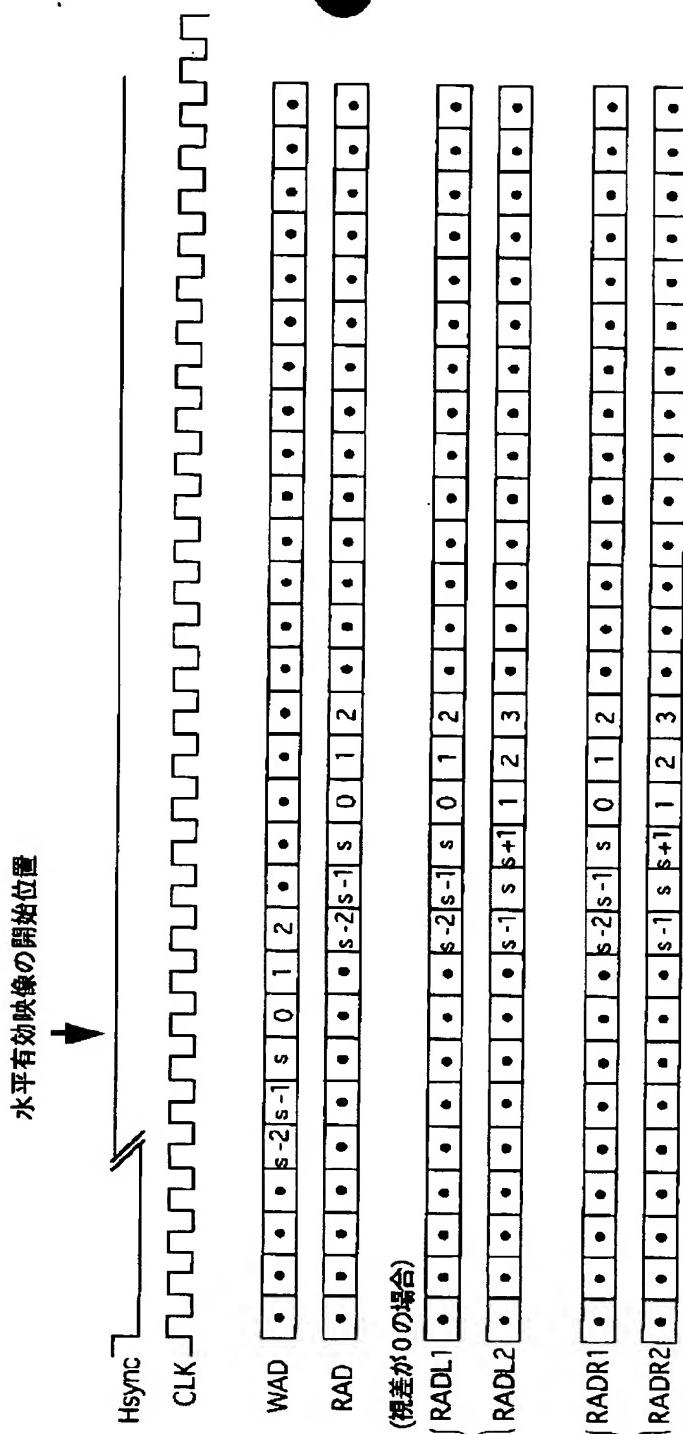
(c)

機器DR	水平位置					
	0~m	m~2m	2m~3m	3m~4m	4m~0	
垂直位置	0~n	E1	E2	E3	E4	E4
	n~2n	E5	E6	E7	E8	E8
	2n~3n	E9	E10	E11	E12	E12
	3n~4n	E9	E10	E11	E12	E12

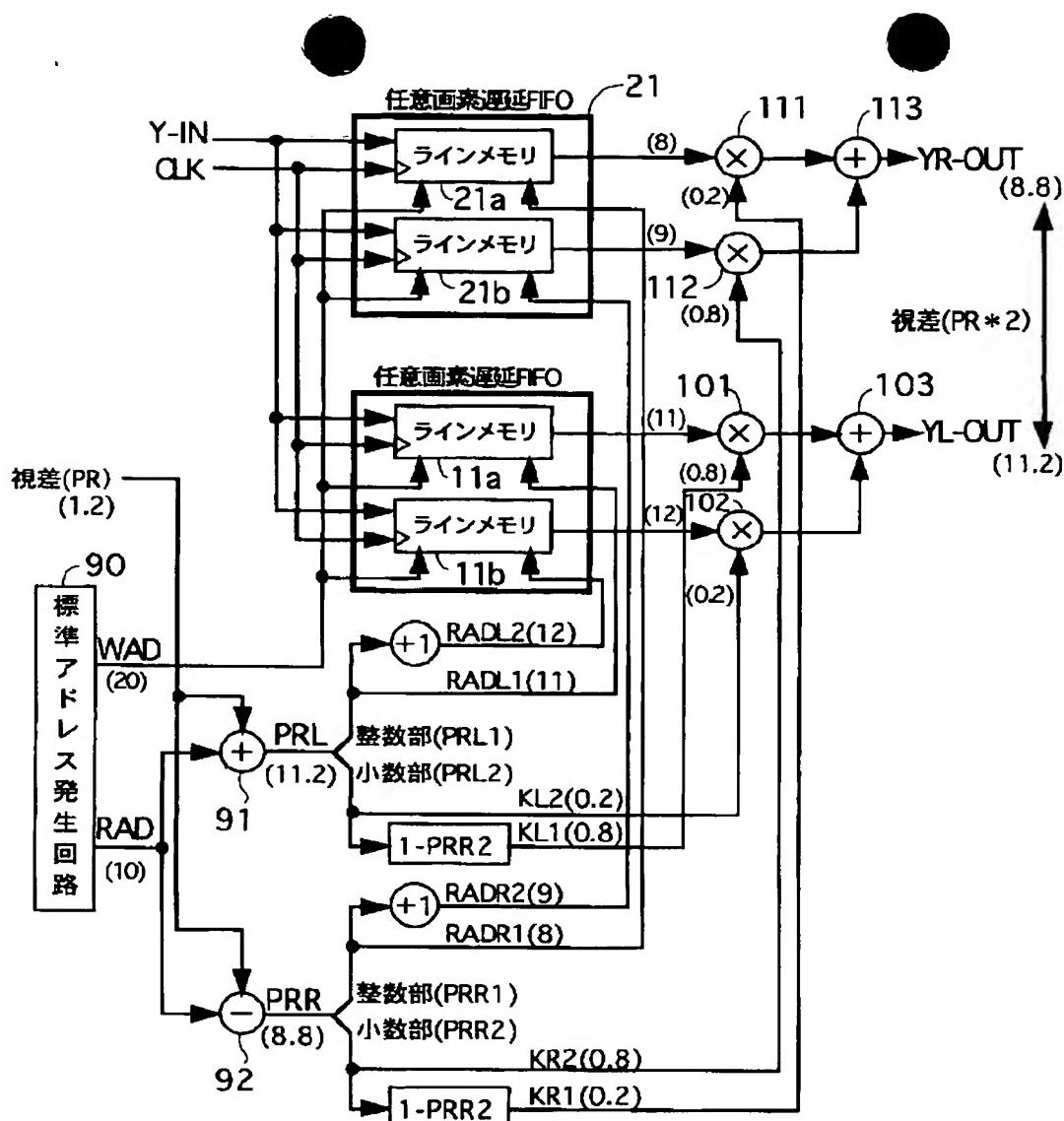
(d)

注) 0~mは、0以上m未満

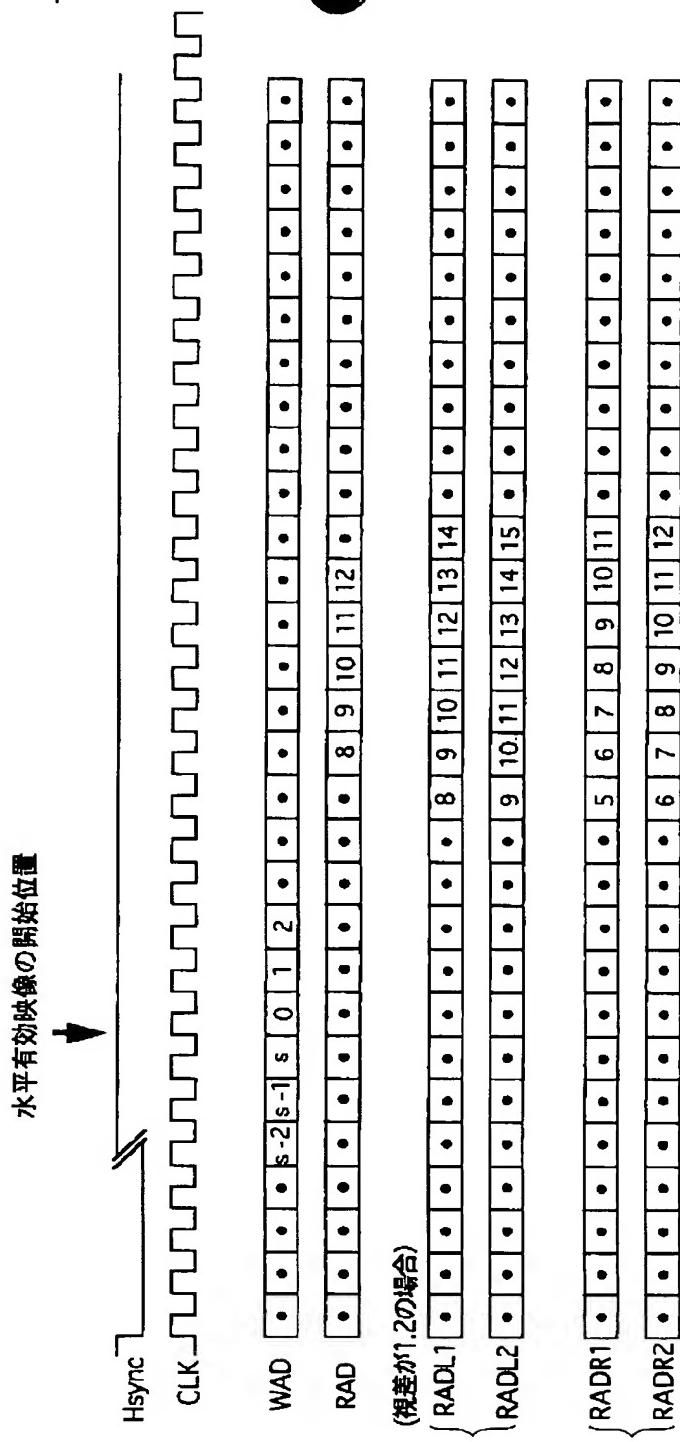
[Drawing 24]



[Drawing 25]



[Drawing 26]



[Translation done.]

特開平10-51812

(43)公開日 平成10年(1998)2月20日

(51) Int. Cl. 6
H04N 13/02

識別記号 庁内整理番号

F I
H04N 13/02

技術表示箇所

審査請求 有 請求項の数12 O L (全25頁)

(21)出願番号 特願平8-208173

(22)出願日 平成8年(1996)8月7日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 森 幸夫

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 前中 章弘

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 井原 幹二

大阪府守口市京阪本通2丁目5番5号 三
洋電機ソフトウェア株式会社内

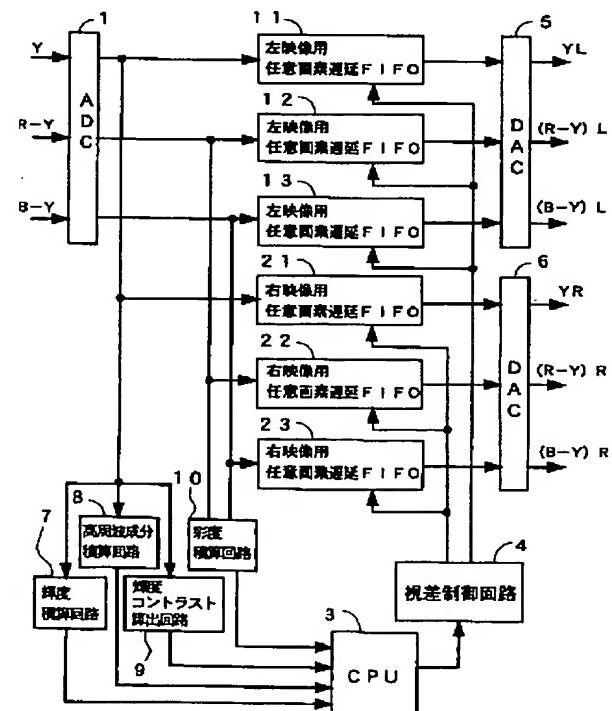
(74)代理人 弁理士 香山 秀幸

(54)【発明の名称】2次元映像を3次元映像に変換する装置および方法

(57)【要約】

【課題】この発明は、元の2次元映像信号に対して時間的に遅延された映像信号を生成するためのフィールドメモリが不要となり、コストの低廉化が図れる2次元映像を3次元映像に変換する装置および方法を提供することを目的とする。

【解決手段】2次元入力映像信号に基づいて、各フィールドごとに、1フィールド画面内に設定された複数の視差算出領域のそれぞれに対して、映像の遠近に関する画像特徴量を抽出する特徴量抽出手段7、8、9、10、各視差算出領域ごとに抽出された画像特徴量に基づいて、1フィールド画面内の所定単位領域ごとの視差情報を生成する視差情報生成手段3、4、ならびに2次元入力映像信号の各所定単位領域内の信号から、その所定単位領域に対応する視差情報を応じた水平位相差を有する第1映像信号と第2映像信号とをそれぞれ生成する位相制御手段4、11～13、21～23を備えている。



【特許請求の範囲】

【請求項1】 2次元入力映像信号に基づいて、各フィールドごとに、1フィールド画面内に設定された複数の視差算出領域のそれぞれに対して、映像の遠近に関する画像特徴量を抽出する特徴量抽出手段、各視差算出領域ごとに抽出された画像特徴量に基づいて、1フィールド画面内の所定単位領域ごとの視差情報を生成する視差情報生成手段、ならびに2次元入力映像信号の各所定単位領域内の信号から、その所定単位領域に対応する視差情報に応じた水平位相差を有する第1映像信号と第2映像信号とをそれぞれ生成する位相制御手段、を備えている2次元映像を3次元映像に変換する装置。

【請求項2】 視差情報生成手段は、視差算出領域ごとの映像の遠近に関する画像特徴量に基づいて、各視差算出領域ごとに映像の遠近に関する情報を生成する手段、および各視差算出領域ごとの映像の遠近に関する情報を、各視差算出領域ごとの視差情報に変換する手段、を備えている請求項1に記載の2次元映像を3次元映像に変換する装置。

【請求項3】 視差情報生成手段は、視差算出領域ごとの映像の遠近に関する画像特徴量に基づいて、各視差算出領域ごとに映像の遠近に関する情報を生成する手段、画面の高さ位置のうち、映像の遠近に関する情報によって表される遠近位置が最も近い高さ位置より下側の各視差算出領域のうち、その視差算出領域に対する映像の遠近に関する情報によって表される遠近位置が、その直上の視差算出領域に対する映像の遠近に関する情報によって表される遠近位置より所定値以上遠い位置である視差算出領域については、その視差算出領域に対する映像の遠近に関する情報によって表される遠近位置がその直上の視差算出領域に対する映像の遠近に関する情報によって表される遠近位置に接近するように、その視差算出領域に対する映像の遠近に関する情報を補正する手段、および補正後の各視差算出領域ごとの映像の遠近に関する情報を、各視差算出領域ごとの視差情報を変換する手段、を備えていることを特徴とする請求項1に記載の2次元映像を3次元映像に変換する装置。

【請求項4】 位相制御手段は、2次元入力映像信号を1水平ライン分以下の複数画素数分記憶できる容量を有し、かつ2次元入力映像信号を一次的に記憶する第1の記憶手段、2次元入力映像信号を1水平ライン分以下の複数画素数分記憶できる容量を有し、かつ2次元入力映像信号を一次的に記憶する第2の記憶手段、第1の記憶手段の読み出しあドレスを、2次元入力映像信号の水平垂直位置に応じて決定された標準読み出しあ

ドレスに対して、2次元入力映像信号の水平垂直位置が属する所定単位領域に対応する視差情報に基づいて制御することにより、上記標準読み出しあドレスによって規定される基準水平位相に対して上記視差情報に応じた量だけ水平位相が進んだ第1映像信号を生成する第1の読み出しあドレス制御手段、ならびに第2の記憶手段の読み出しあドレスを、上記標準読み出しあドレスに対して、2次元入力映像信号の水平垂直位置が属する所定単位領域に対応する視差情報に基づいて制御することにより、上記標準読み出しあドレスによって規定される基準水平位相に対して上記視差情報に応じた量だけ水平位相が遅れた第2映像信号を生成する第2の読み出しあドレス制御手段、を備えている請求項1、2および3のいずれかに記載の2次元映像を3次元映像に変換する装置。

【請求項5】 映像の遠近に関する画像特徴量が、高周波成分の積算値、輝度コントラスト、輝度積算値および彩度積算値のうちから選択された任意の1つまたは任意の組み合わせである請求項1、2、3および4のいずれかに記載の2次元映像を3次元映像に変換する装置。

【請求項6】 所定単位領域が1画素単位の領域である請求項1、2、3、4および5のいずれかに記載の2次元映像を3次元映像に変換する装置。

【請求項7】 2次元入力映像信号に基づいて、各フィールドごとに、1フィールド画面内に設定された複数の視差算出領域のそれぞれに対して、映像の遠近に関する画像特徴量を抽出する第1ステップ、各視差算出領域ごとに抽出された画像特徴量に基づいて、1フィールド画面内の所定単位領域ごとの視差情報を生成する第2ステップ、ならびに2次元入力映像信号の各所定単位領域内の信号から、その所定単位領域に対応する視差情報に応じた水平位相差を有する第1映像信号と第2映像信号とをそれぞれ生成する第3ステップ、を備えている2次元映像を3次元映像に変換する方法。

【請求項8】 第2ステップは、視差算出領域ごとの映像の遠近に関する画像特徴量に基づいて、各視差算出領域ごとに映像の遠近に関する情報を生成するステップ、および各視差算出領域ごとの映像の遠近に関する情報を、各視差算出領域ごとの視差情報を変換するステップ、を備えている請求項7に記載の2次元映像を3次元映像に変換する方法。

【請求項9】 第2ステップは、視差算出領域ごとの映像の遠近に関する画像特徴量に基づいて、各視差算出領域ごとに映像の遠近に関する情報を生成するステップ、画面の高さ位置のうち、映像の遠近に関する情報によって表される遠近位置が最も近い高さ位置より下側の各視差算出領域のうち、その視差算出領域に対する映像の遠近に関する情報を、その直上

の視差算出領域に対する映像の遠近に関する情報によって表される遠近位置より所定値以上遠い位置である視差算出領域については、その視差算出領域に対する映像の遠近に関する情報によって表される遠近位置がその直上の視差算出領域に対する映像の遠近に関する情報によって表される遠近位置に接近するように、その視差算出領域に対する映像の遠近に関する情報を補正するステップ、および補正後の各視差算出領域ごとの映像の遠近に関する情報を、各視差算出領域ごとの視差情報に変換するステップ、

を備えていることを特徴とする請求項7に記載の2次元映像を3次元映像に変換する方法。

【請求項10】 第3ステップは、

2次元入力映像信号を1水平ライン分以下の複数画素数分記憶できる容量を有する第1の記憶手段および第2の記憶手段に、2次元入力映像信号を一次的に記憶するステップ、

第1の記憶手段の読み出しアドレスを、2次元入力映像信号の水平垂直位置に応じて決定された標準読み出しアドレスに対して、2次元入力映像信号の水平垂直位置が属する所定単位領域に対応する視差情報に基づいて制御することにより、上記標準読み出しアドレスによって規定される基準水平位相に対して上記視差情報に応じた量だけ水平位相が進んだ第1映像信号を生成するステップ、ならびに第2の記憶手段の読み出しアドレスを、上記標準読み出しアドレスに対して、2次元入力映像信号の水平垂直位置が属する所定単位領域に対応する視差情報に基づいて制御することにより、上記標準読み出しアドレスによって規定される基準水平位相に対して上記視差情報に応じた量だけ水平位相が遅れた第2映像信号を生成するステップ、

を備えている請求項7、8および9のいずれかに記載の2次元映像を3次元映像に変換する方法。

【請求項11】 映像の遠近に関する画像特微量が、高周波成分の積算値、輝度コントラスト、輝度積算値および彩度積算値のうちから選択された任意の1つまたは任意の組み合わせである請求項7、8、9および10のいずれかに記載の2次元映像を3次元映像に変換する方法。

【請求項12】 所定単位領域が1画素単位の領域である請求項7、8、9、10および11のいずれかに記載の2次元映像を3次元映像に変換する装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、2次元映像を3次元映像に変換する装置および方法に関する。

【0002】

【従来の技術】 2次元映像を3次元映像に変換する方法として、フィールドメモリを用いて、元の2次元映像信号に対して、時間的に遅延された映像信号（以下、遅延

映像信号という）を生成し、元の2次元映像信号と遅延映像信号のうち、一方を左目用映像信号として出力し、他方を右目用映像信号として出力する方法が知られている。しかしながら、この方法では、元の2次元映像信号に対して時間的に遅延された映像信号を生成するためにフィールドメモリが必要となるため、コストが高いという問題がある。また、この方法では、動きのある2次元映像のみしか3次元映像に変換することができない。

【0003】

10 **【発明が解決しようとする課題】** この発明は、元の2次元映像信号に対して時間的に遅延された映像信号を生成するためのフィールドメモリが不要となり、コストの低廉化が図れる2次元映像を3次元映像に変換する装置および方法を提供することを目的とする。

【0004】 また、この発明は、元の2次元映像信号によって表される映像が静止映像であっても立体映像が得られる、2次元映像を3次元映像に変換する装置および方法を提供することを目的とする。

【0005】

20 **【課題を解決するための手段】** この発明による2次元映像を3次元映像に変換する装置は、2次元入力映像信号に基づいて、各フィールドごとに、1フィールド画面内に設定された複数の視差算出領域のそれぞれに対して、映像の遠近に関する画像特微量を抽出する特微量抽出手段、各視差算出領域ごとに抽出された画像特微量に基づいて、1フィールド画面内の所定単位領域ごとの視差情報を生成する視差情報生成手段、ならびに2次元入力映像信号の各所定単位領域内の信号から、その所定単位領域に対応する視差情報に応じた水平位相差を有する第1映像信号と第2映像信号とをそれぞれ生成する位相制御手段を備えていることを特徴とする。

【0006】 視差情報生成手段としては、たとえば、視差算出領域ごとの映像の遠近に関する画像特微量に基づいて、各視差算出領域ごとに映像の遠近に関する情報を生成する手段、および各視差算出領域ごとの映像の遠近に関する情報を、各視差算出領域ごとの視差情報を変換する手段を備えているものが用いられる。

【0007】 視差情報生成手段としては、たとえば、視差算出領域ごとの映像の遠近に関する画像特微量に基づいて、各視差算出領域ごとに映像の遠近に関する情報を生成する手段、画面の高さ位置のうち、映像の遠近に関する情報によって表される遠近位置が最も近い高さ位置より下側の各視差算出領域のうち、その視差算出領域に対する映像の遠近に関する情報によって表される遠近位置が、その直上の視差算出領域に対する映像の遠近に関する情報によって表される遠近位置より所定値以上遠い位置である視差算出領域については、その視差算出領域に対する映像の遠近に関する情報によって表される遠近位置がその直上の視差算出領域に対する映像の遠近に関する情報によって表される遠近位置に接近するように、

40 50

その視差算出領域に対する映像の遠近に関する情報を補正する手段、および補正後の各視差算出領域ごとの映像の遠近に関する情報を、各視差算出領域ごとの視差情報を変換する手段を備えているものが用いられる。

【0008】位相制御手段としては、たとえば、2次元入力映像信号を1水平ライン分以下の複数画素数分記憶できる容量を有し、かつ2次元入力映像信号を一次的に記憶する第1の記憶手段、2次元入力映像信号を1水平ライン分以下の複数画素数分記憶できる容量を有し、かつ2次元入力映像信号を一次的に記憶する第2の記憶手段、第1の記憶手段の読み出しアドレスを、2次元入力映像信号の水平垂直位置に応じて決定された標準読み出しアドレスに対して、2次元入力映像信号の水平垂直位置が属する所定単位領域に対応する視差情報に基づいて制御することにより、上記標準読み出しアドレスによって規定される基準水平位相に対して上記視差情報に応じた量だけ水平位相が進んだ第1映像信号を生成する第1の読み出しアドレス制御手段、ならびに第2の記憶手段の読み出しアドレスを、上記標準読み出しアドレスに対して、2次元入力映像信号の水平垂直位置が属する所定単位領域に対応する視差情報に基づいて制御することにより、上記標準読み出しアドレスによって規定される基準水平位相が遅れた第2映像信号を生成する第2の読み出しアドレス制御手段を備えているものが用いられる。

【0009】映像の遠近に関する画像特徴量としては、高周波成分の積算値、輝度コントラスト、輝度積算値および彩度積算値のうちから選択された任意の1つまたは任意の組み合わせが用いられる。映像の遠近に関する画像特徴量として、高周波成分の積算値を用いてもよい。映像の遠近に関する画像特徴量として、輝度コントラストを用いてもよい。映像の遠近に関する画像特徴量として、高周波成分の積算値および輝度コントラストを用いてもよい。映像の遠近に関する画像特徴量として、高周波成分の積算値、輝度コントラストおよび輝度積算値を用いてもよい。映像の遠近に関する画像特徴量として、高周波成分の積算値、輝度コントラストおよび彩度積算値を用いてもよい。映像の遠近に関する画像特徴量として、高周波成分の積算値、輝度コントラスト、輝度積算値および彩度積算値を用いてもよい。

【0010】所定単位領域は、たとえば、1画素単位の領域である。

【0011】この発明による2次元映像を3次元映像に変換する方法は、2次元入力映像信号に基づいて、各フィールドごとに、1フィールド画面内に設定された複数の視差算出領域のそれぞれに対して、映像の遠近に関する画像特徴量を抽出する第1ステップ、各視差算出領域ごとに抽出された画像特徴量に基づいて、1フィールド画面内の所定単位領域ごとの視差情報を生成する第2ステップ、ならびに2次元入力映像信号の各所定単位領域

内の信号から、その所定単位領域に対応する視差情報に応じた水平位相差を有する第1映像信号と第2映像信号とをそれぞれ生成する第3ステップを備えていることを特徴とする。

【0012】第2ステップとしては、たとえば、視差算出領域ごとの映像の遠近に関する画像特徴量に基づいて、各視差算出領域ごとに映像の遠近に関する情報を生成するステップ、および各視差算出領域ごとの映像の遠近に関する情報を、各視差算出領域ごとの視差情報を変換するステップを備えているものが用いられる。

【0013】第2ステップとしては、たとえば、視差算出領域ごとの映像の遠近に関する画像特徴量に基づいて、各視差算出領域ごとに映像の遠近に関する情報を生成するステップ、画面の高さ位置のうち、映像の遠近に関する情報によって表される遠近位置が最も近い高さ位置より下側の各視差算出領域のうち、その視差算出領域に対する映像の遠近に関する情報によって表される遠近位置が、その直上の視差算出領域に対する映像の遠近に関する情報によって表される遠近位置より所定値以上遠い位置である視差算出領域については、その視差算出領域に対する映像の遠近に関する情報によって表される遠近位置がその直上の視差算出領域に対する映像の遠近に関する情報によって表される遠近位置に接近するよう、その視差算出領域に対する映像の遠近に関する情報を補正するステップ、および補正後の各視差算出領域ごとの映像の遠近に関する情報を、各視差算出領域ごとの視差情報を変換するステップを備えているものが用いられる。

【0014】第3ステップとしては、たとえば、2次元入力映像信号を1水平ライン分以下の複数画素数分記憶できる容量を有する第1の記憶手段および第2の記憶手段に、2次元入力映像信号を一次的に記憶するステップ、第1の記憶手段の読み出しアドレスを、2次元入力映像信号の水平垂直位置に応じて決定された標準読み出しアドレスに対して、2次元入力映像信号の水平垂直位置が属する所定単位領域に対応する視差情報に基づいて制御することにより、上記標準読み出しアドレスによって規定される基準水平位相に対して上記視差情報に応じた量だけ水平位相が進んだ第1映像信号を生成するステップ、ならびに第2の記憶手段の読み出しアドレスを、上記標準読み出しアドレスに対して、2次元入力映像信号の水平垂直位置が属する所定単位領域に対応する視差情報に基づいて制御することにより、上記標準読み出しアドレスによって規定される基準水平位相に対して上記視差情報に応じた量だけ水平位相が遅れた第2映像信号を生成するステップを備えているものが用いられる。

【0015】映像の遠近に関する画像特徴量としては、高周波成分の積算値、輝度コントラスト、輝度積算値および彩度積算値のうちから選択された任意の1つまたは任意の組み合わせが用いられる。映像の遠近に関する画

像特微量として、高周波成分の積算値を用いてもよい。映像の遠近に関する画像特微量として、輝度コントラストを用いてもよい。映像の遠近に関する画像特微量として、高周波成分の積算値および輝度コントラストを用いてもよい。映像の遠近に関する画像特微量として、高周波成分の積算値、輝度コントラストおよび輝度積算値を用いてもよい。映像の遠近に関する画像特微量として、高周波成分の積算値、輝度コントラストおよび彩度積算値を用いてもよい。映像の遠近に関する画像特微量として、高周波成分の積算値、輝度コントラスト、輝度積算値および彩度積算値を用いてもよい。

【0016】所定単位領域は、たとえば、1画素単位の領域である。

【0017】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。

【0018】図1は、2次元映像を3次元映像に変換するための2D／3D映像変換装置の全体的な構成を示している。

【0019】2次元映像信号を構成する輝度信号Y、色差信号R-Yおよび色差信号B-Yは、AD変換回路1(ADC)によってそれぞれデジタルのY信号、R-Y信号およびB-Y信号に変換される。

【0020】Y信号は、輝度積算回路7、高周波成分積算回路8および輝度コントラスト算出回路9に送られるとともに、第1の左映像用任意画素遅延 FIFO11および第1の右映像用任意画素遅延 FIFO21に送られる。R-Y信号は、彩度積算回路10に送られるとともに、第2の左映像用任意画素遅延 FIFO12および第2の右映像用任意画素遅延 FIFO22に送られる。B-Y信号は、彩度積算回路10に送られるとともに、第3の左映像用任意画素遅延 FIFO13および第3の右映像用任意画素遅延 FIFO23に送られる。

【0021】輝度積算回路7は、1フィールド毎に、図2に示すように、1フィールド画面内に予め設定された複数個の視差算出領域E1～E12それぞれに対する輝度積算値を算出する。高周波成分積算回路8は、1フィールド毎に、各視差算出領域E1～E12それぞれに対する高周波成分の積算値を算出する。輝度コントラスト算出回路9は、1フィールド毎に、各視差算出領域E1～E12それぞれに対する輝度コントラストを算出する。彩度積算回路10は、1フィールド毎に、各視差算出領域E1～E12それぞれに対する彩度の積算値を算出する。

【0022】視差算出領域E1～E12それぞれに対する輝度積算値、各視差算出領域E1～E12それぞれに対する高周波成分の積算値、各視差算出領域E1～E12それぞれに対する輝度コントラストおよび各視差算出領域E1～E12それぞれに対する彩度の積算値が、視差算出領域E1～E12ごとの映像の遠近に関する画像

特微量である。

【0023】なお、1フィールド画面内には、実際に図15に示すように6行10列の計60個の視差算出領域が設定されているが、説明の便宜上、図2に示すように、1フィールド画面内に、3行4列の計12個の視差算出領域E1～E12が設定されているものとする。

【0024】CPU3は、輝度積算回路7、高周波成分積算回路8、輝度コントラスト算出回路9および彩度積算回路10から送られてきた情報に基づいて、各視差算出領域E1～E12に対する視差情報を生成する。この例では、被写体のように前側にある物体ほど視差量が少なく、背景のように後ろ側にある物体ほど視差量が大きくなるように視差情報が生成される。この視差情報の生成方法の詳細については、後述する。

【0025】CPU3によって算出された各視差算出領域E1～E12に対する視差情報は、視差制御回路4に送られる。視差制御回路4は、各視差算出領域E1～E12に対する視差情報に基づいて、各フィールドの各画素位置ごとの視差情報を生成する。そして、得られた各画素位置ごとの視差情報に基づいて、各 FIFO11～13、21～23から映像信号(Y信号、R-Y信号、B-Y信号)を読み出す際の読み出しアドレスが左映像用任意画素遅延 FIFO11～13と右映像用任意画素遅延 FIFO21～23との間でずれるように、各 FIFO11～13、21～23の読み出しアドレスを制御する。したがって、左映像用任意画素遅延 FIFO11～13から読み出された左映像信号の水平位相と、右映像用任意画素遅延 FIFO21～23から読み出された右映像信号の水平位相が異なるようになる。

【0026】左映像用任意画素遅延 FIFO11～13から読み出された左映像信号(YL信号、(R-Y)L信号、(B-Y)L信号)は、DA変換回路(DAC)5によってアナログ信号に変換された後、図示しない立体表示装置に送られる。右映像用任意画素遅延 FIFO21～23から読み出された右映像信号(YR信号、(R-Y)R信号、(B-Y)R信号)は、DA変換回路(DAC)6によってアナログ信号に変換された後、図示しない立体表示装置に送られる。

【0027】左映像信号の水平位相と、右映像信号の水平位相は異なっているので、左映像と右映像との間に視差が発生する。この結果、左映像を左目のみで観察し、右映像を右目のみで観察すると、被写体が背景に対して前方位置にあるような立体映像が得られる。

【0028】図3は、輝度積算回路7の構成を示している。

【0029】図2においては、各視差算出領域E1～E12の水平方向の画素数をm、各視差算出領域E1～E12の垂直方向の画素数をn、第1の視差算出領域E1の左上の座標を(a, b)として、水平位置(HAD)

および垂直位置 (VAD) が表されている。

【0030】輝度積算回路7は、タイミング信号発生回路201、加算回路202および輝度積算レジスタ群203および選択回路(SEL)204を備えている。輝度積算レジスタ群203は、各視差算出領域E1～E12にそれぞれ対応した第1～第12の輝度積算レジスタ211～222を備えている。

【0031】タイミング信号発生回路201には、入力映像信号の水平同期信号Hsyncおよび垂直同期信号Vsyncならびに各水平期間の水平アドレスを検出するためのクロック信号CLKが入力している。

【0032】タイミング信号発生回路201は、水平同期信号Hsync、垂直同期信号Vsyncおよびクロック信号CLKに基づいて、第1～第12のイネーブル信号EN1～EN12、リセット信号RSTおよび出力タイミング信号DOUTを出力する。

【0033】各イネーブル信号EN1～EN12は、それぞれ各視差算出領域E1～E12に対応しており、當時はLレベルであり、入力映像信号の水平垂直位置が対応する領域内にあるときに、Hレベルとなる。第1～第12のイネーブル信号EN1～EN12は、それぞれ第1～第12の輝度積算レジスタ211～222に、書き込み信号として入力している。また、第1～第12のイネーブル信号EN1～EN12は、選択回路204にも送られる。選択回路204は、Hレベルのイネーブル信号に対応する入力データを選択して出力する。

【0034】リセット信号RSTは、入力映像信号における各フィールドの有効映像開始タイミングで出力され、各輝度積算レジスタ211～222に送られる。各輝度積算レジスタ211～222にリセット信号RSTが入力されると、その内容が0にされる。

【0035】出力タイミング信号DOUTは、図2に示すように、入力映像信号の垂直位置が、最下段の視差算出領域E12の下端の垂直位置を越えた時点から一定期間だけ、Hレベルとなる。出力タイミング信号DOUTは、CPU3に送られる。

【0036】入力映像信号における有効映像開始タイミングにリセット信号が出力され、各輝度積算レジスタ211～222の内容が0にされる。入力映像信号の水平垂直位置が第1の視差算出領域E1内である場合には、第1のイネーブル信号EN1がHレベルとなるので、第1の輝度積算レジスタ211に保持されている輝度値が選択回路204を介して加算回路202に送られるとともに、入力映像信号におけるY信号が加算回路202に入力する。

【0037】したがって、第1の輝度積算レジスタ211に保持されていた輝度値と、入力映像信号におけるY信号とが加算回路202によって加算され、その加算結果が第1の輝度積算レジスタ211に格納される。つまり、入力映像信号の水平垂直位置が第1の視差算出領域

E1内である場合においては、第1の視差算出領域E1内の画素の輝度値が積算されていき、その積算結果が第1の輝度積算レジスタ211に蓄積される。

【0038】このようにして、各視差算出領域E1～E12ごとの輝度積算値が、対応する輝度積算レジスタ211～222に蓄積される。そして、出力タイミング信号DOUTがHレベルとなると、各輝度積算レジスタ211～222に蓄積されている各視差算出領域E1～E12ごとの輝度積算値が、CPU3にデータバス(DATABUS)を介して送られる。

【0039】図4は、高周波成分積算回路8の構成を示している。

【0040】高周波成分積算回路8は、タイミング信号発生回路231、ハイパスフィルタ(HPF)232、絶対値化回路233、スライス処理回路234、加算回路235および高周波成分積算レジスタ群236および選択回路237を備えている。高周波成分積算レジスタ群236は、各視差算出領域E1～E12にそれぞれ対応した第1～第12の高周波成分積算レジスタ241～252を備えている。

【0041】タイミング信号発生回路231の入力信号および出力信号は、図3のタイミング信号発生回路201の入力信号および出力信号と同じである。

【0042】ハイパスフィルタ232としては、たとえば、図5に示すように、5つのDフリップフロップ261～265、入力値の2倍の出力を得るためのビットシフト回路266、加算器267および減算器268からなる、-1、0、2、0および-1のタップ係数を持つハイパスフィルタが用いられる。

【0043】また、スライス処理回路234としては、図6に示すような入出力特性を有する回路が用いられる。0～Iaまでの入力に対しては、出力を0としているのは、ノイズが高周波成分として抽出されないようにするためである。

【0044】したがって、入力映像信号におけるY信号の高周波成分がハイパスフィルタ232によって抽出され、その絶対値が絶対値化回路233により得られ、スライス処理回路234によって高周波成分の絶対値からノイズが除去される。

【0045】入力映像信号における有効映像開始タイミングにリセット信号が出力され、各高周波成分積算レジスタ241～252の内容が0にされる。入力映像信号の水平垂直位置が第1の視差算出領域E1内である場合には、第1のイネーブル信号EN1がHレベルとなるので、第1の高周波成分積算レジスタ241に保持されている高周波成分が選択回路237を介して加算回路235に送られるとともに、入力映像信号におけるY信号の高周波成分(スライス処理回路234の出力)が加算回路235に入力する。

【0046】したがって、第1の高周波成分積算レジス

タ241に保持されていた高周波成分と、入力映像信号におけるY信号の高周波成分とが加算回路235によって加算され、その加算結果が第1の高周波成分積算レジスタ241に格納される。つまり、入力映像信号の水平垂直位置が第1の視差算出領域E1内である場合においては、第1の視差算出領域E1内の画素の高周波成分が積算されていき、その積算結果が第1の高周波成分積算レジスタ241に蓄積される。

【0047】このようにして、各視差算出領域E1～E12ごとの高周波成分の積算値が、対応する高周波成分積算レジスタ241に蓄積される。そして、出力タイミング信号DOUTがHレベルとなると、各高周波成分積算レジスタ241～252に蓄積されている各視差算出領域E1～E12ごとの高周波成分の積算値が、CPU3にデータバスを介して送られる。

【0048】図7は、高周波成分積算回路8の他の例を示している。

【0049】この高周波成分積算回路8は、タイミング信号発生回路238、ハイパスフィルタ232、ピーク検出回路239、加算回路235、高周波成分積算レジスタ群236および選択回路237を備えている。

【0050】タイミング信号発生回路238は、図3のタイミング信号発生回路201とほぼ同じであるが、図2に示すように、入力映像信号の水平位置が、視差算出領域E1、E5、E9の直前の水平位置および各視差算出領域E1～E12の最後尾の水平位置に達したときに、トリガパルス（領域境界信号RST1）が出力される点が、図3のタイミング信号発生回路201と異なっている。領域境界信号RST1は、ピーク検出回路239に送られる。

【0051】ハイパスフィルタ232によって抽出されたY信号の高周波成分は、ピーク検出回路239に送られる。ピーク検出回路239は、各視差算出領域E1～E12内の各水平ラインごとに、高周波成分の最大値を検出する。ピーク検出回路239としては、図8に示すように、比較回路271、最大値レジスタ272およびゲート273を備えたものが用いられる。図9は、入力映像信号の水平同期信号Hsync、領域境界信号RST1、ゲート273等の出力を示している。

【0052】最大値レジスタ272には、ハイパスフィルタ232によって抽出されたY信号の高周波成分、領域境界信号RST1、比較回路271の判定結果信号Laおよびクロック信号CLKが入力される。比較回路271は、最大値レジスタ272の出力と入力映像信号におけるY信号の高周波成分とを比較し、Y信号の高周波成分が最大値レジスタ272の出力より大きいときに、判定結果信号LaをHレベルにする。

【0053】領域境界信号RST1がHレベルになると、最大値レジスタ272の内容は0にされる。領域境界信号RST1がLレベルである状態において、比較回

路271からの判定結果信号LaがHレベルであれば、Y信号の高周波成分が最大値レジスタ272に格納される。つまり、最大値レジスタ272の内容が更新される。したがって、最大値レジスタ272には、領域境界信号RST1がLレベルである期間ごとに、入力映像信号の水平垂直位置に対応する視差算出領域E1～E12内の1水平ラインの各画素に対するY信号の高周波成分のうちの最大値が蓄積される。

【0054】ゲート273は、領域境界信号RST1がHレベルになると、最大値レジスタ272の出力値を出力し、領域境界信号RST1がLレベルのときには0を出力する。つまり、ゲート回路273からは、領域境界信号RST1がHレベルになるごとに、最大値レジスタ272に蓄積されていた所定の視差算出領域E1～E12内の1水平ラインに対するY信号の高周波成分の最大値が出力される。したがって、各高周波成分積算レジスタ241～252（図7参照）には、対応する視差算出領域内の各水平ラインに対するY信号の高周波成分の最大値の積算値が蓄積されることになる。

【0055】図10は、輝度コントラスト算出回路9の構成を示している。

【0056】輝度コントラスト算出回路9は、タイミング信号発生回路301および輝度コントラスト検出回路群302を備えている。輝度コントラスト検出回路群302は、各視差算出領域E1～E12にそれぞれ対応した第1～第12の輝度コントラスト検出回路311～322を備えている。

【0057】タイミング信号発生回路301の入力信号および出力信号は、図3のタイミング信号発生回路201の入力信号および出力信号と同じである。

【0058】各輝度コントラスト検出回路311～322は、図11に示すように、第1の比較回路331、最大値レジスタ332、第2の比較回路333、最小値レジスタ334および減算器335を備えている。

【0059】最大値レジスタ332には、入力映像信号におけるY信号、当該輝度コントラスト検出回路に対応する領域E1～E12のイネーブル信号EN（N=1、2…12）、リセット信号RST、第1の比較回路331から出力される判定信号Lbおよびクロック信号CLKが入力している。第1の比較回路331は、最大値レジスタ332の出力値と入力映像信号におけるY信号とを比較し、入力映像信号におけるY信号が最大値レジスタ332の出力値より大きいときに判定信号LbをHレベルにする。

【0060】リセット信号RSTがHレベルになると、最大値レジスタ332の内容は0にされる。当該輝度コントラスト検出回路に対応する領域E1～E12のイネーブル信号ENがHレベルでありかつ判定信号LbがHレベルのときに、Y信号が最大値レジスタ332に格納される。つまり、最大値レジスタ332の内容が更新さ

れる。したがって、出力タイミング信号DOUTが出力される直前においては、最大値レジスタ332には、当該輝度コントラスト検出回路に対応する視差算出領域E1～E12内の各画素の輝度値のうちの最大値が蓄積される。

【0061】最小値レジスタ334には、入力映像信号におけるY信号、当該輝度コントラスト検出回路に対応する領域E1～E12のイネーブル信号EN(N=1、2…12)、リセット信号RST、第2の比較回路333から出力される判定信号Lcおよびクロック信号CLKが入力している。第2の比較回路334は、最小値レジスタ334の出力値と入力映像信号におけるY信号とを比較し、入力映像信号におけるY信号が最小値レジスタ334の出力値より小さいときに判定信号LcをHレベルにする。

【0062】リセット信号RSTがHレベルになると、最小値レジスタ334に、予め定められた最大値が設定される。当該輝度コントラスト検出回路に対応する領域E1～E12のイネーブル信号ENがHレベルでありかつ判定信号LcがHレベルのときに、Y信号が最小値レジスタ334に格納される。つまり、最小値レジスタ334の内容が更新される。したがって、出力タイミング信号DOUTが出力される直前においては、最小値レジスタ334には、当該輝度コントラスト検出回路に対応する視差算出領域E1～E12内の各画素の輝度値のうちの最小値が蓄積される。

【0063】この結果、出力タイミング信号DOUTが出力される時点においては、減算器335の出力は、対応する視差算出領域E1～E12内の各画素の輝度値のうちの最大値と最小値との差(輝度コントラスト)に対応した値となる。そして、出力タイミング信号DOUTが出力されると、減算器335の出力(輝度コントラスト)がCPU3に送られる。

【0064】図12は、彩度積算回路10の構成を示している。

【0065】彩度積算回路10は、タイミング信号発生回路341、彩度算出回路342、加算回路343、彩度積算レジスタ群344および選択回路345を備えている。彩度積算レジスタ群344は、各視差算出領域E1～E12にそれぞれ対応した第1～第12の彩度積算レジスタ351～362を備えている。

【0066】タイミング信号発生回路341の入力信号および出力信号は、図3のタイミング信号発生回路201の入力信号および出力信号と同じである。

【0067】彩度算出回路342は、入力映像信号におけるR-Y信号の値を(R-Y)とし、入力映像信号におけるB-Y信号の値を(B-Y)として、次の式1の演算を行なって、彩度に対応する値SAIを求める。

【0068】

【数1】

$$SAI = \sqrt{(R-Y)^2 + (B-Y)^2}$$

【0069】入力映像信号における有効映像開始タイミングにリセット信号RSTが出力され、各彩度積算レジスタ351～362の内容が0にされる。入力映像信号の水平垂直位置が第1の視差算出領域E1内である場合には、第1のイネーブル信号EN1がHレベルとなるので、第1の彩度積算レジスタ351に保持されている彩度が選択回路345を介して加算回路343に送られるとともに、彩度算出回路342によって演算された彩度が加算回路343に入力する。

【0070】したがって、第1の彩度積算レジスタ351に保持されている彩度と、彩度算出回路342によって演算された彩度とが加算回路343によって加算され、その加算結果が第1の彩度積算レジスタ351に格納される。つまり、入力映像信号の水平垂直位置が第1の視差算出領域E1内である場合においては、第1の視差算出領域E1内の画素の彩度が積算されていき、その積算結果が第1の彩度積算レジスタ351に蓄積される。

【0071】このようにして、各視差算出領域E1～E12ごとの彩度の積算値が、対応する彩度積算レジスタ351～362に蓄積される。そして、出力タイミング信号DOUTがHレベルとなると、各彩度積算レジスタ351～362に蓄積されている各視差算出領域E1～E12ごとの彩度の積算値が、CPU3にデータバスを介して送られる。

【0072】図13は、CPU3によって行なわれる視差量の算出方法を示している。

【0073】第1の正規化手段401は、各視差算出領域E1～E12ごとの高周波成分の積算値を0～10の範囲の値に正規化する。第2の正規化手段402は、各視差算出領域E1～E12ごとの輝度コントラストを0～10の範囲の値に正規化する。第3の正規化手段403は、各視差算出領域E1～E12ごとの輝度積算値を0～10の範囲の値に正規化する。第4の正規化手段404は、各視差算出領域E1～E12ごとの彩度積算値を0～10の範囲の値に正規化する。

【0074】正規化された各視差算出領域E1～E12ごとの高周波成分の積算値には、乗算手段405によって係数K1が積算された後、加算手段409に送られる。正規化された各視差算出領域E1～E12ごとの輝度コントラストには、乗算手段406によって係数K2が積算された後、加算手段409に送られる。正規化された各視差算出領域E1～E12ごとの輝度積算値には、乗算手段407によって係数K3が積算された後、加算手段409に送られる。正規化された各視差算出領域E1～E12ごとの彩度積算値には、乗算手段408によって係数K4が積算された後、加算手段409に送られる。

【0075】係数K1、K2、K3、K4の具体例としては、K1=0.6、K2=0.2、K3=0.1、K4=0.1が挙げられる。また、K1=0.75、K2=0.25、K3=0.0、K4=0.0が挙げられる。

【0076】これらの係数K1～K4の設定値を制御することにより、高周波成分の積算値、輝度コントラスト、輝度積算値および彩度積算値のうちから選択された任意の1つまたは任意の組み合わせを、映像の遠近に関する画像特徴量として用いることができる。

【0077】したがって、映像の遠近に関する画像特徴量として、高周波成分の積算値のみを用いることもできる。映像の遠近に関する画像特徴量として、輝度コントラストのみを用いることもできる。映像の遠近に関する画像特徴量として、高周波成分の積算値および輝度コントラストを用いることもできる。映像の遠近に関する画像特徴量として、高周波成分の積算値、輝度コントラストおよび輝度積算値を用いることもできる。映像の遠近に関する画像特徴量として、高周波成分の積算値、輝度コントラストおよび彩度積算値を用いることもできる。映像の遠近に関する画像特徴量として、高周波成分の積算値、輝度コントラスト、輝度積算値および彩度積算値を用いることもできる。

【0078】加算手段409では、各乗算手段405～408によって得られた各視差算出領域E1～E12ごとの値が加算される。加算手段409によって得られた各視差算出領域E1～E12ごとの値は、第5の正規化手段410によって、0～10の範囲の値（以下、奥行き情報という）に正規化される。図14は、加算手段409の出力値と第5の正規化手段410によって得られる奥行き情報との関係を示している。各視差算出領域E1～E12ごとの奥行き情報が、視差算出領域E1～E12ごとの映像の遠近に関する情報である。第5の正規化手段410によって、得られた各視差算出領域E1～E12ごとの奥行き情報は、奥行き補正手段411に送られる。

【0079】一般的な画像では、被写体が前方に存在し、背景が後方に存在している。また、被写体に対してピントが合っている映像が多いため、近くにある物ほど、高周波成分、コントラスト、輝度および彩度が高いと考えられる。そこで、この実施の形態では、高周波成分の積算値、輝度コントラスト、輝度積算値および彩度積算値が大きい領域ほど、前に存在する物体が写っていると仮定している。

【0080】したがって、加算手段409によって得られた奥行き情報が大きい領域ほど、前に存在する物体が写っている領域であると判断することができる。最も前に存在する物体が写っている領域の立体視位置を立体表示装置の管面位置に設定すると、加算手段409によって得られた奥行き情報と、管面位置からの奥行き量

とは反比例する。

【0081】以下、奥行き補正手段411による奥行き補正処理について説明する。

【0082】奥行き補正処理については、実際に設定されている視差算出領域を例にとって説明したほうが理解しやすいので、1フィールドに対して実際に設定されている60個の視差算出領域を例にとって、奥行き補正手段411による奥行き補正処理を説明する。図15は、1フィールドに対して実際に設定されている60個の視差算出領域F1～F60を示している。

【0083】まず、視差算出領域F1～F60の各行ごとに、奥行き情報の平均値が算出される。各視差算出領域F1～F60ごとの奥行き情報が図16に示すような値であった場合には、第1～第6行目ごとの奥行き情報の平均値は、1.2、3.6、6.0、7.2、4.0、1.2となる。

【0084】次に、視差算出領域の各行のうち、手前位置の物体が多く映っている領域が抽出される。つまり、奥行き情報の平均値が最も大きい行が抽出される。図16の例では、第4行目の領域が抽出される。

【0085】次に、抽出された行より下段にある行の各領域については、直上の領域に対して、急激に奥行き情報が小さくならないように、抽出された行より下段にある行の各領域の奥行き情報が調整される。具体的には、抽出された行より下段にある行の各領域の奥行き情報が直上の領域に対して3以上小さい領域に対しては、直上の領域の奥行き情報より2だけ小さい値に、その領域の奥行き情報が変更せしめられる。

【0086】図16の例では、図17に示すように、まず、第5行の各領域F41～F50のうち、その奥行き情報が直上の領域の奥行き情報に対して3以上小さい領域F42～F49に対して、奥行き情報が補正される。この後、第6行の各領域F51～F60のうち、その奥行き情報が直上の領域の奥行き情報（補正後の奥行き情報）に対して3以上小さい領域F53～F58に対して、奥行き情報が補正される。

【0087】つまり、任意の水平位置における画面の高さに対する奥行き情報の関係が、図18に曲線U1で示すような関係である場合には、奥行き補正によって、画面の高さに対する奥行き情報の関係が、図18に曲線U2で示すような関係となるように補正される。

【0088】このように、視差算出領域の各行のうち、手前位置の物体が多く映っている領域より下段の領域の奥行き情報が補正されているのは次の理由による。

【0089】一般的には、画面の下側には前に存在する物体が写っていることが多い。また、画面の下側に映っている物体は、地面等のように変化の少ない画像であることが多い。地面等のように変化の少ない画像は、高周波成分が低いため、前にあるにも係わらず、奥行き情報の値は小さくなる。そこで、奥行き補正により、前

方にある物体であって高周波成分が低い映像に対する奥行き情報を、その直上の領域の奥行き情報の値より大きくならない程度に大きくしているのである。

【0090】奥行き補正手段411によって奥行き情報が補正された各領域（実際はF1～F60であるが、説明の便宜上E1～E12とする）ごとの奥行き情報は、再正規化手段412によって、0～10の範囲内で正規化される。再正規化手段412によって得られた各領域E1～E12ごとの奥行き情報は、視差情報決定手段413によって、各領域E1～E12ごとの視差情報に変換される。

【0091】視差情報決定手段413は、予め設定された奥行き情報に対する視差情報との関係に基づいて、各領域E1～E12ごとに、奥行き情報を視差情報に変換する。奥行き情報に対する視差情報との関係は、図19に直線S1またはS2で示されるように、反比例の関係である。

【0092】図19において、直線S1で示される奥行き情報に対する視差情報との関係は、立体感が比較的強い立体映像を得たい場合に用いられる。直線S2で示される奥行き情報に対する視差情報との関係は、立体感が比較的弱い立体映像を得たい場合に用いられる。奥行き情報に対する視差情報との関係を、直線S1と直線S2との間で調整することにより、立体感を調整することが可能である。

【0093】このようにして得られた各領域E1～E12ごとの視差情報は、視差制御回路4（図1参照）に送られる。なお、奥行き補正手段411による奥行き補正を省略してもよい。

【0094】図20は、主として、図1の視差制御回路および任意画素遅延FIFOの構成を示している。

【0095】図20には、任意画素遅延FIIFO11～13、21～23のうち、Y信号に対する左映像用任意画素遅延FIIFO11および右映像用任意画素遅延FIIFO21しか示されていないが、他の任意画素遅延FIIFO12、13、22、23も同様な構成でありかつ同様な制御が行なわれるので、他の任意画素遅延FIIFO12、13、22、23の構成および制御方法については、その説明を省略する。

【0096】ところで、CPU3によって算出された視差情報は、各視差算出領域E1～E12の中心位置に対する視差情報である。視差制御回路4では、各視差算出領域E1～E12の中心位置に対する視差情報に基づいて、1フィールド画面の各画素位置に対する視差情報が求められる。そして、各画素位置に対する2次元映像信号から、その画素位置に対する視差情報に応じた視差を有する左映像と右映像とを生成するために、各画素位置に対する視差情報に基づいて、左映像用任意画素遅延FIIFO11～13および右映像用任意画素遅延FIIFO21～23の読み出しアドレスが制御される。

【0097】1フィールド画面の各画素位置に対する視差情報は、タイミング信号発生回路51、視差補間係数発生回路52、視差情報記憶手段60、視差選択回路80、第1～第4乗算器81～84および加算回路85によって、生成される。

【0098】入力映像信号の水平同期信号Hsyncおよび垂直同期信号Vsyncは、タイミング信号発生回路51に入力している。また、各水平期間の水平アドレスを検出するためのクロック信号CLKもタイミング信号発生回路51に入力している。

【0099】タイミング信号発生回路51は、水平同期信号Hsync、垂直同期信号Vsyncおよびクロック信号CLKに基づいて、入力映像信号の絶対的水平位置を表す水平アドレス信号HAD、入力映像信号の絶対的垂直位置を表す垂直アドレス信号VAD、入力映像信号の相対的水平位置を表す相対的水平位置信号HPOSおよび入力映像信号の相対的垂直位置を表す相対的垂直位置信号VPOSを生成して出力する。

【0100】入力映像信号の相対的水平位置および相対的垂直位置について説明する。

【0101】図21に示すように、図2の視差算出領域E1～E12は、次のように設定されている。画面全体が図21に点線で示すように、4行5列の20個の領域（以下、第1分割領域という）に分割されている。そして、左上端の第1分割領域の中心、右上端の第1分割領域の中心、左下端の第1分割領域の中心および右下端の第1分割領域の中心を4頂点とする四角形領域が3行4列の12個の領域（以下、第2分割領域という）に分割され、各第2分割領域が視差算出領域E1～E12として設定されている。

【0102】第1分割領域および第2分割領域の水平方向の画素数がmで表され、第1分割領域および第2分割領域の垂直方向の画素数がnとして表されている。入力映像信号の相対的水平位置は、各第1分割領域の左端を0とし、右端をmとして、0～(m-1)で表される。入力映像信号の相対的垂直位置は、各第1分割領域の上端を0とし、下端をnとして、0～(n-1)で表される。

【0103】入力映像信号の相対的水平位置信号HPOSおよび相対的垂直位置VPOSは、視差補間係数発生回路52に送られる。視差補間係数発生回路52は、相対的水平位置信号HPOS、相対的垂直位置VPOSおよび次の式2に基づいて、第1視差補間係数KUL、第2視差補間係数KUR、第3視差補間係数KDLおよび第4視差補間係数KDRを生成して出力する。

【0104】

【数2】

$$\begin{aligned} KUL &= (m - HPOS) / m * (n - VPOS) / n \\ KUR &= HPOS / m * (n - VPOS) / n \\ KDL &= (m - HPOS) / m * VPOS / n \\ KDR &= HPOS / m * VPOS / n \end{aligned}$$

【0105】1フィールド画面の各画素位置に対する視差情報を生成する方法の基本的な考え方について、図22を用いて説明する。水平アドレス信号HADおよび垂直アドレス信号VADによって表されている水平垂直位置（以下、注目位置という）が図22のPx yであるとする。注目位置Px yに対する視差情報を求める場合について説明する。

【0106】(1) まず、CPU3によって算出された各視差算出領域E1～E12に対する視差情報のうちから、注目位置Px yが含まれる第1分割領域の4頂点、この例ではPE1、PE2、PE5、PE6を中心とする視差算出領域E1、E2、E5、E6に対する視差情報が、それぞれUL、UR、DL、DRとして抽出される。つまり、注目位置Px yが含まれる第1分割領域の4頂点のうち、左上の頂点を中心とする領域E1の視差情報が第1視差情報ULとして、右上の頂点を中心とする領域E2の視差情報が第2視差情報URとして、左下の頂点を中心とする領域E5の視差情報が第3視差情報DLとして、右下の頂点を中心とする領域E6の視差情報が第4視差情報DRとして抽出される。

【0107】ただし、注目位置が含まれる第1分割領域が、左上端の第1分割領域である場合のように、注目位置が含まれる第1分割領域の4頂点のうち1つの頂点のみが視差検出領域の中心に該当するような場合には、その視差算出領域の視差情報が、第1～第4の視差情報UL、UR、DL、DRとして抽出される。

【0108】また、注目位置が含まれる第1分割領域が、左上端の第1分割領域の右隣の第1分割領域である場合のように、注目位置が含まれる第1分割領域の4頂点のうち下側の2つの頂点のみが視差算出領域の中心に該当するような場合には、注目位置が含まれる第1分割領域の4頂点のうち上側の2つの頂点に対応する視差情報UL、URとしては、その下側の頂点を中心とする視差算出領域の視差情報が抽出される。

【0109】また、注目位置が含まれる第1分割領域が、左上端の第1分割領域の下隣の第1分割領域である場合のように、注目位置が含まれる第1分割領域の4頂点のうち右側の2つの頂点のみが視差算出領域の中心に該当するような場合には、注目位置が含まれる第1分割領域の4頂点のうち左側の2つの頂点に対応する視差情報UL、DLとしては、その右側の頂点を中心とする視差算出領域の視差情報が抽出される。

【0110】また、注目位置が含まれる第1分割領域が、右下端の第1分割領域の左隣の第1分割領域である

場合のように、注目位置が含まれる第1分割領域の4頂点のうち上側の2つの頂点のみが視差算出領域の中心に該当するような場合には、注目位置が含まれる第1分割領域の4頂点のうち下側の2つの頂点に対応する視差情報DL、DRとしては、その上側の頂点を中心とする視差算出領域の視差情報が抽出される。

【0111】また、注目位置が含まれる第1分割領域が、右下端の第1分割領域の上隣の第1分割領域である場合のように、注目位置が含まれる第1分割領域の4頂点

10 のうち左側の2つの頂点のみが視差算出領域の中心に該当するような場合には、注目位置が含まれる第1分割領域の4頂点のうち右側の2つの頂点に対応する視差情報UR、DRとしては、その左側の頂点を中心とする視差算出領域の視差情報が抽出される。

【0112】(2) 次に、第1～第4の視差補間係数KUL、KUR、KDLおよびKDRが求められる。

【0113】第1の視差補間係数KULは、注目位置Px yを含む第1分割領域eの水平方向幅mに対する、注目位置Px yから第1分割領域eの右辺までの距離ΔXRとの比 $\{(m - HPOS) / m\}$ と、第1分割領域eの垂直方向幅nに対する、注目位置Px yから第1分割領域eの下辺までの距離ΔYDとの比 $\{(n - VPOS) / n\}$ との積によって求められる。すなわち、第1の視差補間係数KULは、注目位置Px yを含む第1分割領域eの左上頂点PE1と注目位置Px yとの距離が小さいほど大きくなる。

【0114】第2の視差補間係数KURは、注目位置Px yを含む第1分割領域eの水平方向幅mに対する、注目位置Px yから第1分割領域eの左辺までの距離ΔXLとの比 $(HPOS / m)$ と、第1分割領域eの垂直方向幅nに対する、注目位置Px yから第1分割領域eの下辺までの距離ΔYDとの比 $\{(n - VPOS) / n\}$ との積によって求められる。すなわち、第2の視差補間係数KURは、注目位置Px yを含む第1分割領域eの右上頂点PE2と注目位置Px yとの距離が小さいほど大きくなる。

【0115】第3の視差補間係数KDLは、注目位置Px yを含む第1分割領域eの水平方向幅mに対する、注目位置Px yから第1分割領域eの右辺までの距離ΔXRとの比 $\{(m - HPOS) / m\}$ と、第1分割領域eの垂直方向幅nに対する、注目位置Px yから第1分割領域eの上辺までの距離ΔYUとの比 $(VPOS / n)$ との積によって求められる。すなわち、第3の視差補間係数KDLは、注目位置Px yを含む第1分割領域eの左下頂点PE5と注目位置Px yとの距離が小さいほど大きくなる。

【0116】第4の視差補間係数KDRは、注目位置Px yを含む第1分割領域eの水平方向幅mに対する、注目位置Px yから第1分割領域eの左辺までの距離ΔXLとの比 $(HPOS / m)$ と、第1分割領域eの垂直方

向幅nに対する、注目位置P x yから第1分割領域eの上辺までの距離ΔYUとの比(VPOS/n)との積によって求められる。すなわち、第4の視差補間係数KDRは、注目位置P x yを含む第1分割領域eの右下頂点PE6と注目位置P x yとの距離が小さいほど大きくなる。

【0117】(3) 上記(1)で抽出された第1～第4の視差情報UL、UR、DL、DRに、それぞれ上記(2)で算出された第1～第4の視差補間係数KUL、KUR、KDL、KDRがそれぞれ乗算される。そして、得られた4つの乗算値が加算されることにより、注目位置P x yに対する視差情報が生成される。

【0118】視差情報記憶手段60は、領域E1～E12にそれぞれ対応して設けられた第1～第12の視差レジスタ61～72を備えている。第1～第12の視差レジスタ61～72には、CPU3によって生成された各領域E1～E12に対する視差情報が格納される。

【0119】視差情報記憶手段60の後段には、視差選択回路80が設けられている。視差選択回路80には、各視差レジスタ61～72から視差情報がそれぞれ送られる。さらに、視差選択回路80には、タイミング信号発生回路51から水平アドレス信号HADおよび垂直アドレス信号VADが送られている。

【0120】視差選択回路80は、図23(a)に示されている規則にしたがって、水平アドレス信号HADおよび垂直アドレス信号VADに対応する領域(図22の例では、注目位置を含む第1領域の左上頂点を中心とする視差算出領域)に対する視差情報を、第1視差情報ULとして選択して出力する。さらに、視差選択回路80は、図23(b)に示されている規則にしたがって、水平アドレス信号HADおよび垂直アドレス信号VADに対応する領域(図22の例では、注目位置を含む第1領域の右上頂点を中心とする視差算出領域)に対する視差情報を、第2視差情報URとして選択して出力する。

【0121】さらに、視差選択回路80は、図23(c)に示されている規則にしたがって、水平アドレス信号HADおよび垂直アドレス信号VADに対応する領域(図22の例では、注目位置を含む第1領域の左下頂点を中心とする視差算出領域)に対する視差情報を、第3視差情報DLとして選択して出力する。さらに、視差選択回路80は、図23(d)に示されている規則にしたがって、水平アドレス信号HADおよび垂直アドレス信号VADに対応する領域(図22の例では、注目位置を含む第1領域の右下頂点を中心とする視差算出領域)に対する視差情報を、第4視差情報DRとして選択して出力する。図23において、たとえば、0～mのように、a～bで表現されている記号”～”は、a以上b未満を意味する記号として用いられている。

【0122】視差選択回路80によって選択された第1視差情報UL、第2視差情報UR、第3視差情報DLお

よび第4視差情報DRは、それぞれ第1、第2、第3および第4の乗算器81、82、83、84に入力する。

【0123】第1、第2、第3および第4の乗算器81、82、83、84には、それぞれ視差補間係数発生回路52からの第1視差補間係数KUL、第2視差補間係数KUR、第3視差補間係数KDLおよび第4視差補間係数KDRも入力している。

【0124】第1乗算器81は、第1視差情報ULに第1視差補間係数KULを乗算する。第2乗算器82は、

10 第2視差情報URに第2視差補間係数KURを乗算する。第3乗算器83は、第3視差情報DLに第3視差補間係数KDLを乗算する。第4乗算器84は、第4視差情報DRに第4視差補間係数KDRを乗算する。

【0125】各乗算器81、82、83、84の出力は、加算回路85によって加算される。これにより、注目位置に対する視差情報PRが得られる。

【0126】各任意画素遅延 FIFO11、21は、1画素より小さい単位での水平位相制御を行なうために、それぞれ2つのラインメモリ11a、11b、21a、21bを備えている。各任意画素遅延 FIFO11、21内の2つのラインメモリ11a、11b、21a、21bには、それぞれY信号が入力されているとともにクロック信号CLKが入力している。

【0127】タイミング信号発生回路51から出力されている水平アドレス信号HADは、標準アドレス発生回路90にも入力している。標準アドレス発生回路90は、各任意画素遅延 FIFO11、21内の2つのラインメモリ11a、11b、21a、21bに対する標準書き込みアドレスWADおよび標準読み出しアドレスRADを生成して出力する。また、標準アドレス発生回路90は、2D/3D変換装置によって得られる左映像信号および右映像信号に付加される同期信号Csyncをも出力する。この同期信号Csyncによって表される水平同期信号は、入力映像信号の水平同期信号Hsyncより、所定クロック数分遅れた信号となる。

【0128】標準読み出しアドレスRADは、標準読み出しアドレスによって規定される基準水平位相に対して、各任意画素遅延 FIFO11、21に入力される映像信号の水平位相を進めたり遅らしたりできるようにするために、標準書き込みアドレスWADに対して、所定クロック数分遅れている。標準アドレス発生回路90から出力される標準書き込みアドレスWADは、各任意画素遅延 FIFO11、21内の2つのラインメモリ11a、11b、21a、21bに、書き込みアドレスを示す書き込み制御信号として入力する。

【0129】標準アドレス発生回路90から出力される標準読み出しアドレスRADは、加算器91および減算器92にそれぞれ入力する。加算器91および減算器92には、加算回路85から出力される注目位置の視差情報PRも入力している。

【0130】加算器91では、標準読み出しアドレスRADに視差情報PRが加算される。これにより、左映像用読み出しアドレスPRLが得られる。

【0131】左映像用読み出しアドレスPRLの整数部PRL1は、左映像用任意画素遅延 FIFO11内の第1のラインメモリ11aに読み出しアドレスRADL1として入力する。したがって、第1のラインメモリ11aのアドレスRADL1に対応するアドレスからY信号が読み出される。読み出されたY信号は、第1の左映像用乗算器101に入力する。

【0132】左映像用読み出しアドレスPRLの整数部PRL1に1が加算されたアドレス値は、左映像用任意画素遅延 FIFO11内の第2のラインメモリ11bに読み出しアドレスRADL2として入力する。したがって、第2のラインメモリ11bのアドレスRADL2に対応するアドレスからY信号が読み出される。読み出されたY信号は、第2の左映像用乗算器102に入力する。

【0133】第1のラインメモリ11aに対する読み出しアドレスRADL1と、第2のラインメモリ11bに対する読み出しアドレスRADL2とは、1だけ異なるので、第1のラインメモリ11aから読み出されたY信号と、第2のラインメモリ11bから読み出されたY信号とは、水平位置が1だけずれた信号となる。

【0134】左映像用読み出しアドレスPRLの小数部PRL2は、第2の左映像補間係数として第2の左映像用乗算器102に入力する。左映像用読み出しアドレスPRLの小数部PRL2を1から減算した値(1-PRL2)は、第1の左映像補間係数として第1の左映像用乗算器101に入力する。

【0135】したがって、第1の左映像用乗算器101では、第1のラインメモリ11aから読み出されたY信号に第1の左映像補間係数(1-PRL2)が乗算される。第2の左映像用乗算器102では、第2のラインメモリ11bから読み出されたY信号に第2の左映像補間係数PRL2が乗算される。そして、各乗算器101、102によって得られたY信号は加算器103で加算された後、左映像用Y信号YL-OUTとして、出力される。

【0136】これにより、標準読み出しアドレスRADによって規定される基準水平位相に対して、水平位相量が注目位置に対する視差情報に応じた量だけ遅れた左映像用Y信号が得られる。

【0137】減算器92では、標準読み出しアドレスRADから視差情報PRが減算される。これにより、右映像用読み出しアドレスPRRが得られる。

【0138】右映像用読み出しアドレスPRRの整数部PRR1は、右映像用任意画素遅延 FIFO21内の第1のラインメモリ21aに読み出しアドレスRADR1として入力する。したがって、第1のラインメモリ21

aのアドレスRADR1に対応するアドレスからY信号が読み出される。読み出されたY信号は、第1の右映像用乗算器111に入力する。

【0139】右映像用読み出しアドレスPRRの整数部PRR1に1が加算されたアドレス値は、右映像用任意画素遅延 FIFO21内の第2のラインメモリ21bに読み出しアドレスRADR2として入力する。したがって、第2のラインメモリ21bのアドレスRADR2に対応するアドレスからY信号が読み出される。読み出されたY信号は、第2の右映像用乗算器112に入力する。

【0140】第1のラインメモリ21aに対する読み出しアドレスRADR1と、第2のラインメモリ21bに対する読み出しアドレスRADR2とは、1だけ異なるので、第1のラインメモリ21aから読み出されたY信号と、第2のラインメモリ21bから読み出されたY信号とは、水平位置が1だけずれた信号となる。

【0141】右映像用読み出しアドレスPRRの小数部PRR2は、第2の右映像補間係数として第2の右映像用乗算器112に入力する。右映像用読み出しアドレスPRRの小数部PRR2を1から減算した値(1-PRR2)は、第1の右映像補間係数として第1の右映像用乗算器111に入力する。

【0142】したがって、第1の右映像用乗算器111では、第1のラインメモリ21aから読み出されたY信号に第1の右映像補間係数(1-PRR2)が乗算される。第2の右映像用乗算器112では、第2のラインメモリ21bから読み出されたY信号に第2の右映像補間係数PRR2が乗算される。そして、各乗算器111、112によって得られたY信号は加算器113で加算された後、右映像用Y信号YR-OUTとして、出力される。

【0143】これにより、標準読み出しアドレスRADによって規定される基準水平位相に対して、水平位相量が注目位置に対する視差情報に応じた量だけ進んだ右映像用Y信号が得られる。

【0144】図24は、注目位置に対する視差情報が0の場合の、各部の信号を示している。

【0145】視差情報が0の場合には、加算器91から出力される左映像用読み出しアドレスPRLと、減算器92から出力される右映像用読み出しアドレスPRRは、ともに標準読み出しアドレスRADと等しい小数部のない整数部のみからなるアドレスとなる。

【0146】したがって、左映像用任意画素遅延 FIFO11内の第1のラインメモリ11aに対する読み出しアドレスRADL1と、右映像用任意画素遅延 FIFO21内の第1のラインメモリ21aに対する読み出しアドレスRADR1は、標準読み出しアドレスRADと等しいアドレスとなる。

【0147】また、左映像用任意画素遅延 FIFO11

内の第2のラインメモリ11bに対する読み出しアドレスRADL2と、右映像用任意画素遅延FIFO21内の第2のラインメモリ21bに対する読み出しアドレスRADR2は、標準読み出しアドレスRADより1だけ大きい値となる。

【0148】また、第1の左映像補間係数(1-PRL2)および第1の右映像補間係数(1-PRR2)は1となり、第2の左映像補間係数PRL2および第2の右映像補間係数PRR2は0となる。

【0149】この結果、左映像用任意画素遅延FIFO11内の第1のラインメモリ11aの標準アドレスRADに対応するアドレスから読み出されたY信号が加算器103から左映像用Y信号YL-OUTとして出力され、右映像用任意画素遅延FIFO21内の第1のラインメモリ21aの標準アドレスRADに対応するアドレスから読み出されたY信号が加算器113から右映像用Y信号YR-OUTとして出力される。つまり、水平方向の位相ずれ量が同じ2つのY信号、すなわち視差のない2つのY信号が左映像用Y信号および右映像用Y信号として出力される。

【0150】図25は、ある注目位置に対する標準書き込みアドレスWADが20であり、上記注目位置に対する標準読み出しアドレスRADが10であり、上記注目位置に対する視差情報が1.2の場合の、各アドレス値の具体例を示している。図26は、その際の各部の信号を示している。

【0151】この場合には、加算器91から出力される左映像用読み出しアドレスPRLは、11.2となり、その整数部PRL1は11となり、その小数部PRL2は0.2となる。

【0152】したがって、左映像用任意画素遅延FIFO11内の第1のラインメモリ11aに対する読み出しアドレスRADL1は11となり、第2のラインメモリ11bに対する読み出しアドレスRADL2は12となる。また、第1の左映像補間係数KLL1{=(1-PRL2)}は0.8となり、第2の左映像補間係数KLL2{=PRL2}は0.2となる。

【0153】したがって、左映像用任意画素遅延FIFO11内の第1のラインメモリ11aのアドレス11からY信号(Y₁₁)が読み出され、第1乗算器101からは読み出されたY信号(Y₁₁)の0.8倍の信号(0.8*Y₁₁)が出力される。

【0154】一方、左映像用任意画素遅延FIFO11内の第2のラインメモリ11bのアドレス12からY信号(Y₁₂)が読み出され、第2乗算器102からは読み出されたY信号(Y₁₂)の0.2倍の信号(0.2*Y₁₂)が出力される。そして、加算器103からは、0.8*Y₁₁+0.2*Y₁₂に相当する左映像用Y信号YL-OUTが出力される。つまり、読み出しアドレス1.2に相当するY信号が、左映像用Y信号YL-OUT

Tとして出力される。

【0155】減算器92から出力される右映像用読み出しアドレスPRRは、8.8となり、その整数部PRR1は8となり、その小数部PRR2は0.8となる。

【0156】したがって、右映像用任意画素遅延FIFO21内の第1のラインメモリ21aに対する読み出しアドレスRADR1は8となり、第2のラインメモリ21bに対する読み出しアドレスRADR2は9となる。また、第1の右映像補間係数KRR1{=(1-PRR2)}は0.2となり、第2の右映像補間係数KRR2{=PRR2}は0.8となる。

【0157】したがって、右映像用任意画素遅延FIFO21内の第1のラインメモリ21aのアドレス8からY信号(Y₈)が読み出され、第1乗算器111からは読み出されたY信号(Y₈)の0.2倍の信号(0.2*Y₈)が出力される。

【0158】一方、右映像用任意画素遅延FIFO21内の第2のラインメモリ21bのアドレス9からY信号(Y₉)が読み出され、第2乗算器112からは読み出されたY信号(Y₉)の0.8倍の信号(0.8*Y₉)が出力される。そして、加算器113からは、0.2*Y₈+0.8*Y₉に相当する右映像用Y信号YR-OUTが出力される。つまり、読み出しアドレス8.8に相当するY信号が、右映像用Y信号YR-OUTとして出力される。

【0159】この結果、11.2-8.8=2.4の視差、つまり、視差情報1.2の2倍の視差を互いに有する左映像および右映像が得られる。

【0160】上記実施の形態による2D/3D映像変換装置では、元の2次元映像信号に対して時間的に遅延された映像信号を生成するためのフィールドメモリが不要であるため、コストの低廉化が図れる。また、上記実施の形態による2D/3D映像変換装置では、元の2次元映像信号によって表される映像が静止映像であっても立体映像を得ることができる。

【0161】

【発明の効果】この発明によれば、元の2次元映像信号に対して時間的に遅延された映像信号を生成するためのフィールドメモリが不要となり、コストの低廉化が図れる2次元映像を3次元映像に変換する装置および方法が実現する。

【0162】また、この発明によれば、元の2次元映像信号によって表される映像が静止映像であっても立体映像が得られる、2次元映像を3次元映像に変換する装置および方法が実現する。

【図面の簡単な説明】

【図1】2D/3D映像変換装置の全体構成を示すブロック図である。

【図2】視差算出領域を示す模式図である。

【図3】輝度積算回路の構成を示すブロック図である。

【図 4】高周波成分積算回路の構成を示すブロック図である。

【図 5】図 4 のハイパスフィルタ 232 の具体例を示す回路図である。

【図 6】図 4 のスライス処理回路 234 の入出力特性を示すグラフである。

【図 7】高周波成分積算回路の他の例を示すブロック図である。

【図 8】図 7 のピーク検出回路 239 の具体例を示す回路図である。

【図 9】ピーク検出回路 239 の各部の信号を示すタイムチャートである。

【図 10】輝度コントラスト算出回路の構成を示すブロック図である。

【図 11】図 10 の輝度コントラスト検出回路の構成を示す回路図である。

【図 12】彩度積算回路の構成を示す回路図である。

【図 13】CPUによる視差情報の生成方法を説明するための説明図である。

【図 14】図 13 の正規化手段 410 の入出力関係を示すグラフである。 20

【図 15】実際に設定される視差算出領域を示す模式図である。

【図 16】奥行き補正前における各視差算出領域の奥行き情報の一例を示す模式図である。

【図 17】奥行き補正後における各視差算出領域の奥行き情報を示す模式図である。

【図 18】奥行き補正前における画面の高さ位置に対する奥行き情報との関係および奥行き補正後における画面の高さ位置に対する奥行き情報との関係を示すグラフである。 30

【図 19】奥行き情報と視差情報との関係を示すグラフである。

【図 20】主として、視差制御回路および任意画素遅延 FIFO の構成を示すブロック図である。

【図 21】相対的水平位置および相対的垂直位置等を示す模式図である。

【図 22】注目画素に対する視差情報を生成する方法を説明するための説明図である。

【図 23】視差選択回路による選択規則を示す図である。

【図 24】視差情報が 0 の場合の各部の信号を示すタイムチャートである。

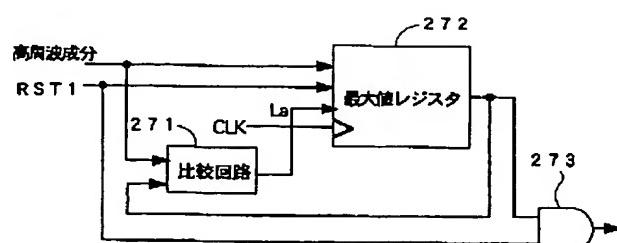
【図 25】視差情報が 1, 2 の場合の各アドレス値を視差制御回路に付記したブロック図である。

【図 26】視差情報が 1, 2 の場合の各部の信号を示すタイムチャートである。

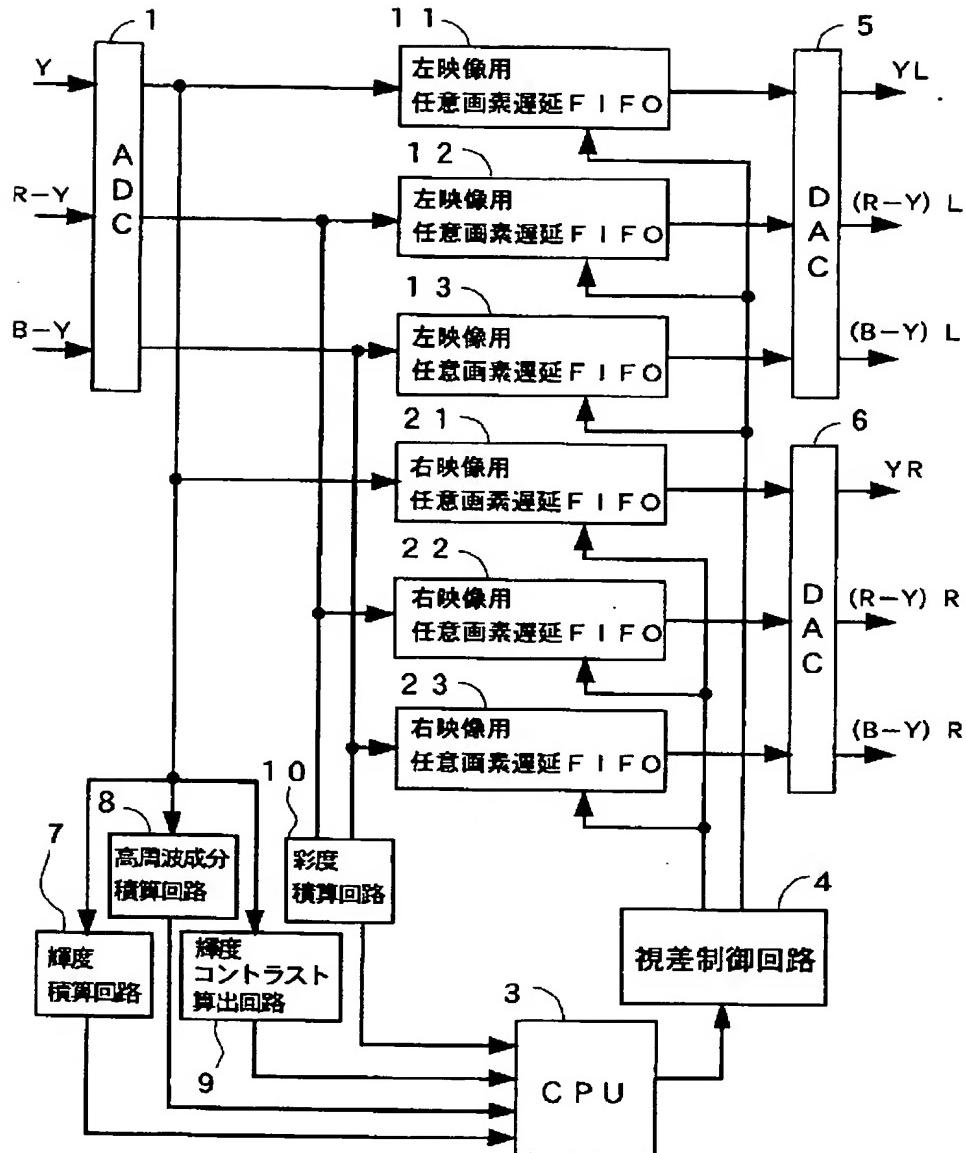
【符号の説明】

- | | |
|----|------------------------------------|
| 10 | 1 AD変換回路 |
| | 3 CPU |
| | 4 視差制御回路 |
| | 5, 6 DA変換回路 |
| | 7 輝度積算回路 |
| | 8 高周波成分積算回路 |
| | 9 輝度コントラスト算出回路 |
| 10 | 10 彩度積算回路 |
| | 11, 12, 13 左映像用任意画素遅延 FIFO |
| | 21, 22, 23 右映像用任意画素遅延 FIFO |
| | 11a, 11b, 21a, 21b ラインメモリ |
| | 51 タイミング信号発生回路 |
| | 52 視差補間係数発生回路 |
| | 60 視差情報記憶手段 |
| | 61~72 視差レジスタ |
| | 80 視差選択回路 |
| | 81~84 乗算器 |
| | 85 加算回路 |
| | 90 標準アドレス発生回路 |
| | 91 加算器 |
| | 92 減算器 |
| 10 | 101, 102, 111, 112 乗算器 |
| | 103, 113 加算器 |
| | 401, 402, 403, 404, 410, 412 正規化手段 |
| | 405, 406, 407, 408 乗算手段 |
| | 409 加算手段 |
| | 411 奥行き補正手段 |
| | 413 視差情報決定手段 |

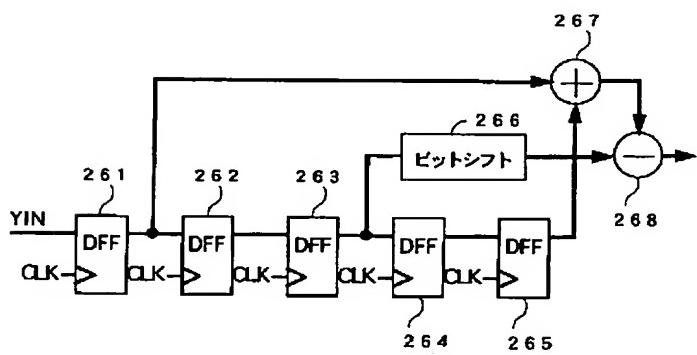
【図 8】



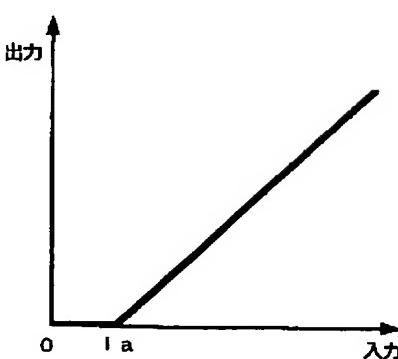
【図1】



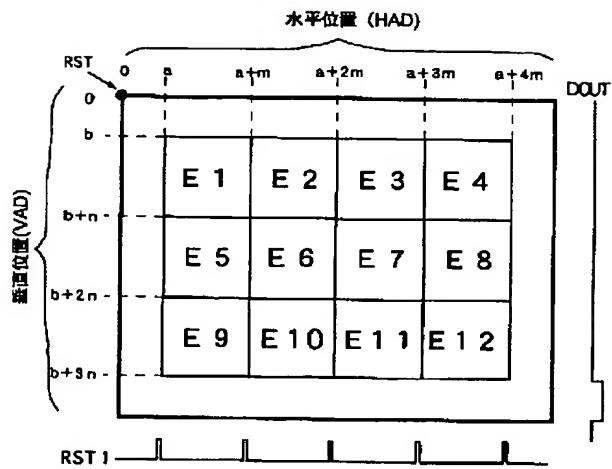
【図5】



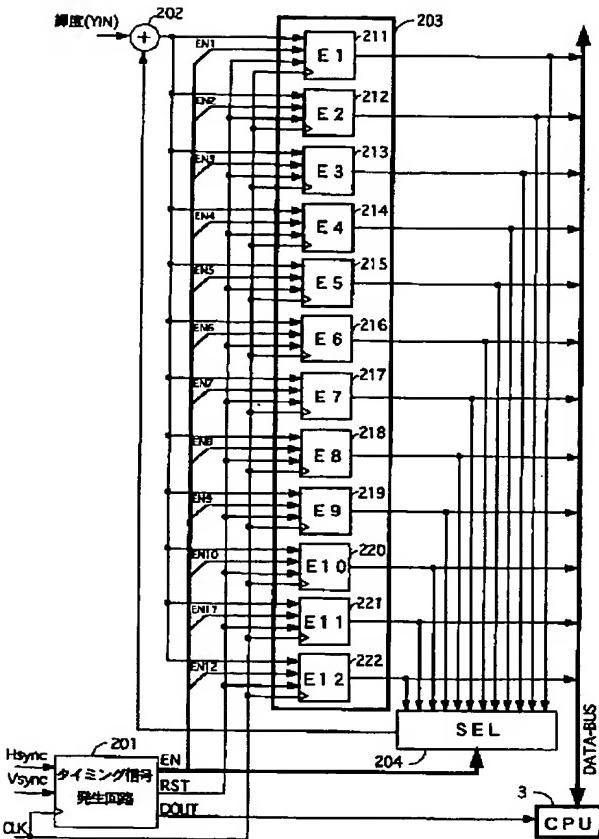
【図6】



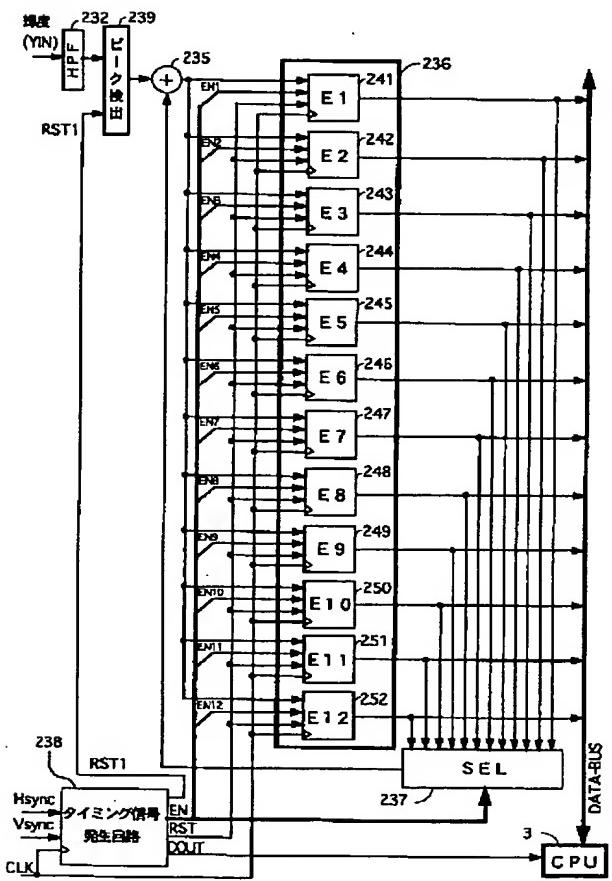
【図2】



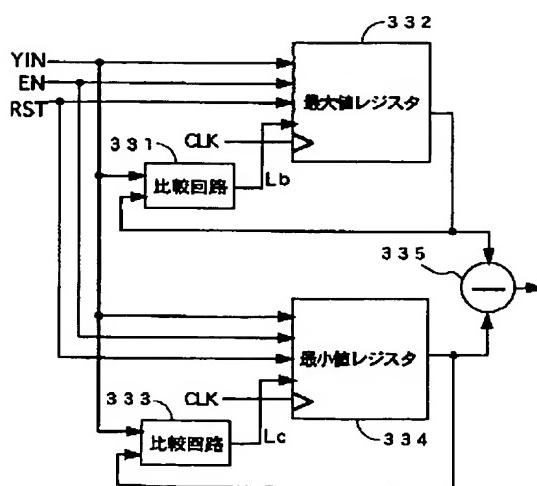
【図3】



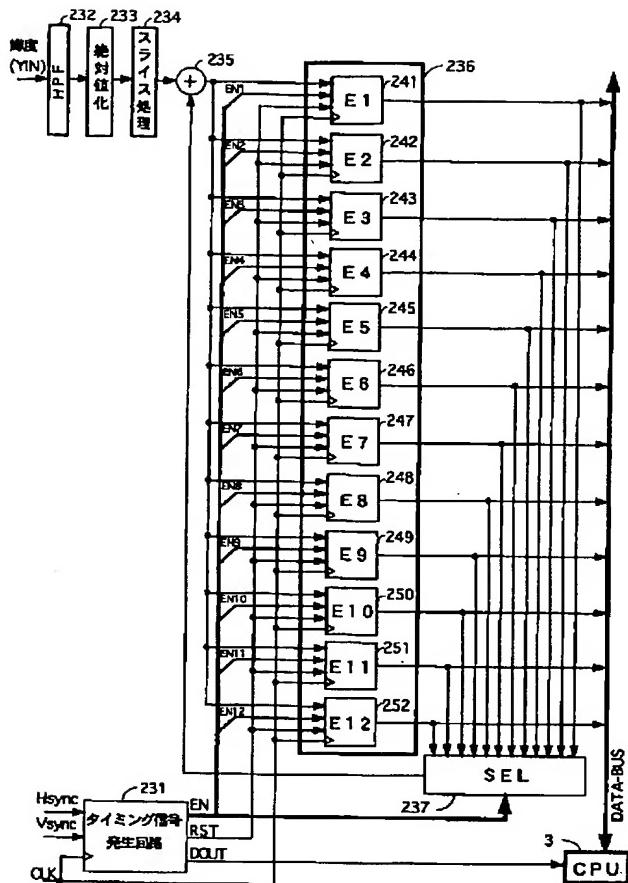
【図7】



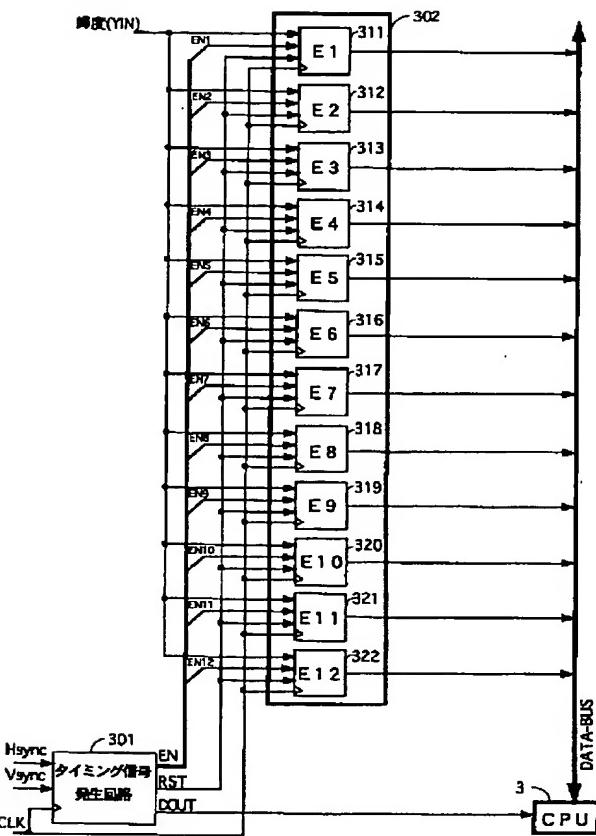
【図11】



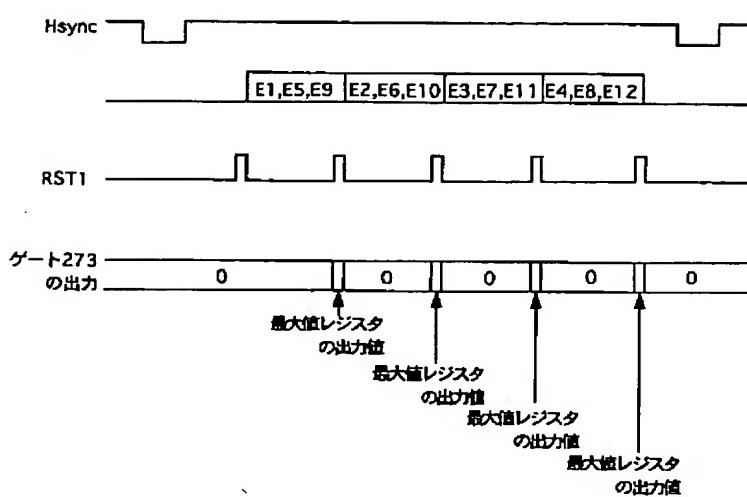
【図 4】



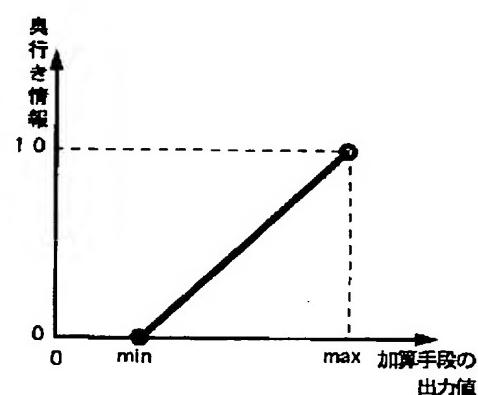
【図 10】



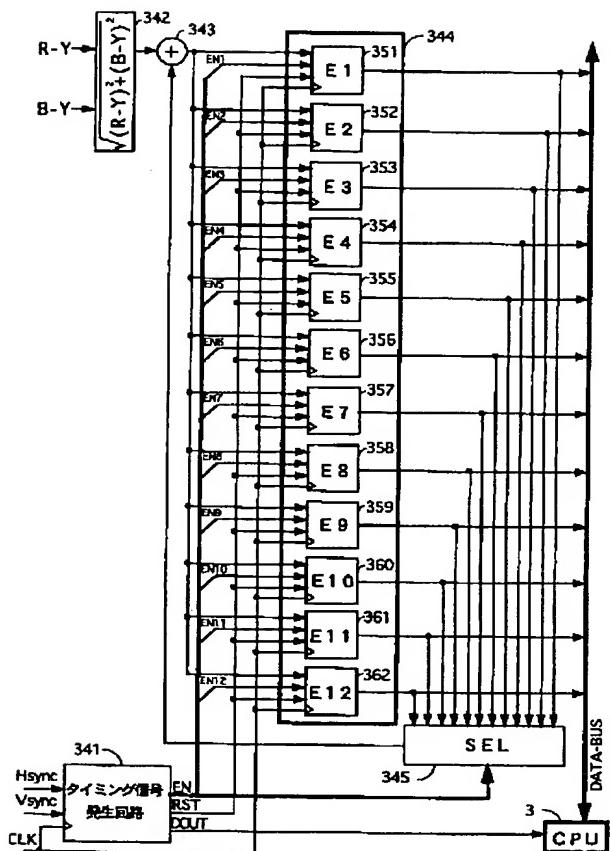
【図 9】



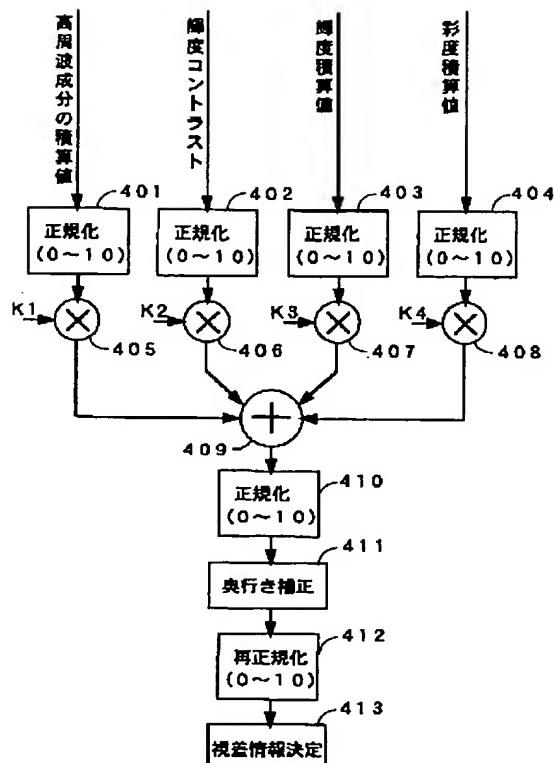
【図 14】



【図 1 2】



【図 1 3】



【図 1 5】

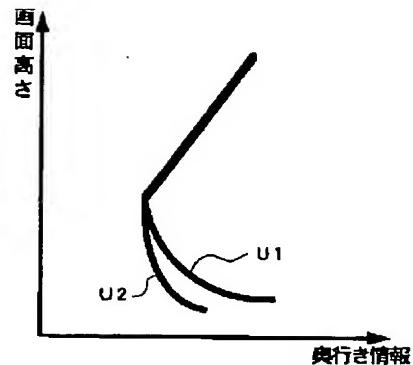
F1	F2	F3	F4	F5	F6	F7	F8	F9	F10
F11	F12	F13	F14	F15	F16	F17	F18	F19	F20
F21	F22	F23	F24	F25	F26	F27	F28	F29	F30
F31	F32	F33	F34	F35	F36	F37	F38	F39	F40
F41	F42	F43	F44	F45	F46	F47	F48	F49	F50
F51	F52	F53	F54	F55	F56	F57	F58	F59	F60

【図 1 7】

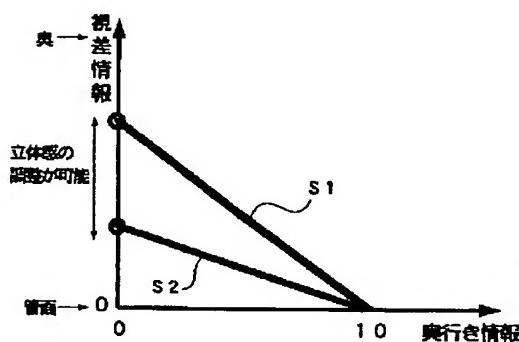
2	2	1	1	0	0	1	1	2	2
2	2	4	4	6	6	4	4	2	2
2	4	6	8	10	10	8	6	4	2
4	6	8	8	10	10	8	8	6	4
2	(4)	(6)	(6)	(8)	(8)	(6)	(6)	(4)	2
2	2	(4)	(4)	(6)	(6)	(4)	(4)	2	2

【図16】

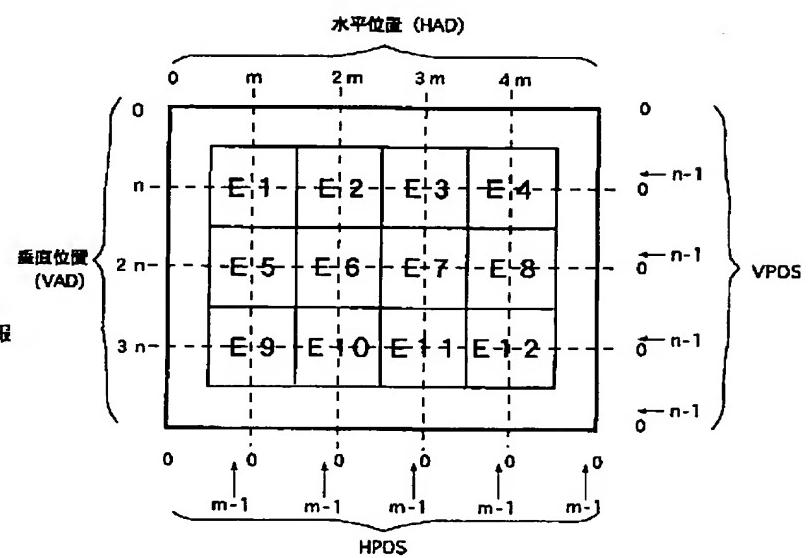
2	2	1	1	0	0	1	1	2	2
2	2	4	4	6	6	4	4	2	2
2	4	6	8	10	10	8	6	4	2
4	6	8	8	10	10	8	8	6	4
2	3	4	5	6	6	5	4	3	2
2	2	1	1	0	0	1	1	2	2



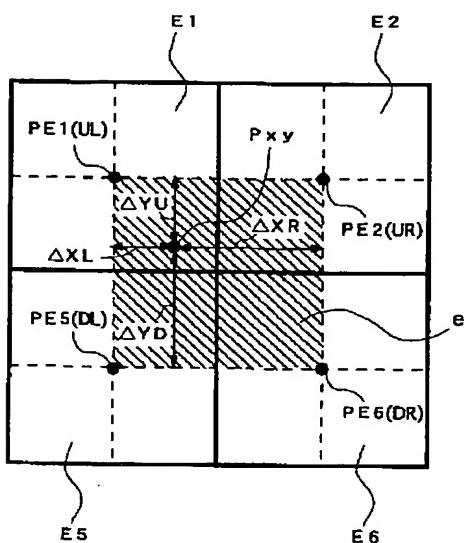
【図19】



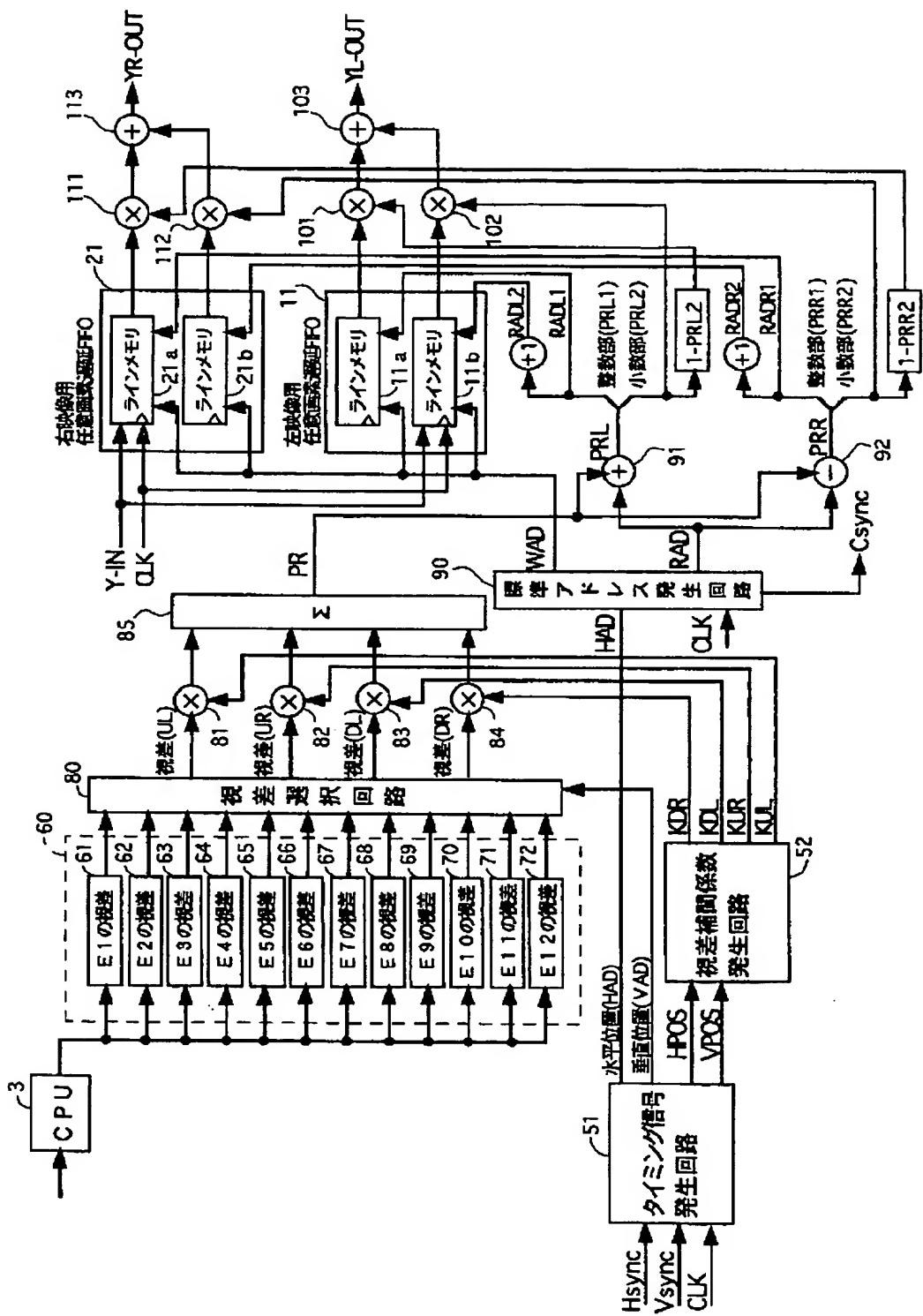
【図21】



【図22】



【図20】



【図23】

視認UL		水平位置				
		0~m	m~2m	2m~3m	3m~4m	4m~0
垂直位置	0~n	E1	E1	E2	E3	E4
	n~2n	E1	E1	E2	E3	E4
	2n~3n	E5	E5	E6	E7	E8
	3n~4n	E9	E9	E10	E11	E12

(a)

視認UR		水平位置				
		0~m	m~2m	2m~3m	3m~4m	4m~0
垂直位置	0~n	E1	E2	E3	E4	E4
	n~2n	E1	E2	E3	E4	E4
	2n~3n	E5	E6	E7	E8	E8
	3n~4n	E9	E10	E11	E12	E12

(b)

視認DL		水平位置				
		0~m	m~2m	2m~3m	3m~4m	4m~0
垂直位置	0~n	E1	E1	E2	E3	E4
	n~2n	E5	E5	E6	E7	E8
	2n~3n	E9	E9	E10	E11	E12
	3n~4n	E9	E9	E10	E11	E12

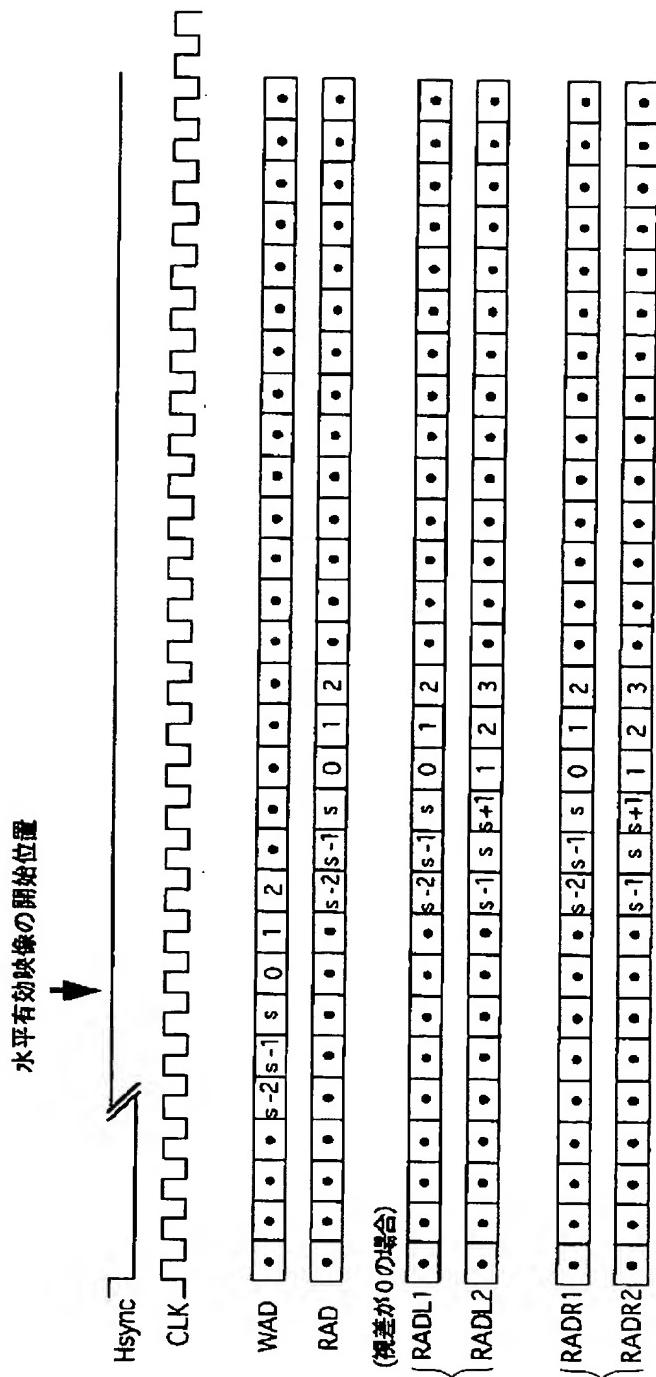
(c)

視認DR		水平位置				
		0~m	m~2m	2m~3m	3m~4m	4m~0
垂直位置	0~n	E1	E2	E3	E4	E4
	n~2n	E5	E6	E7	E8	E8
	2n~3n	E9	E10	E11	E12	E12
	3n~4n	E9	E10	E11	E12	E12

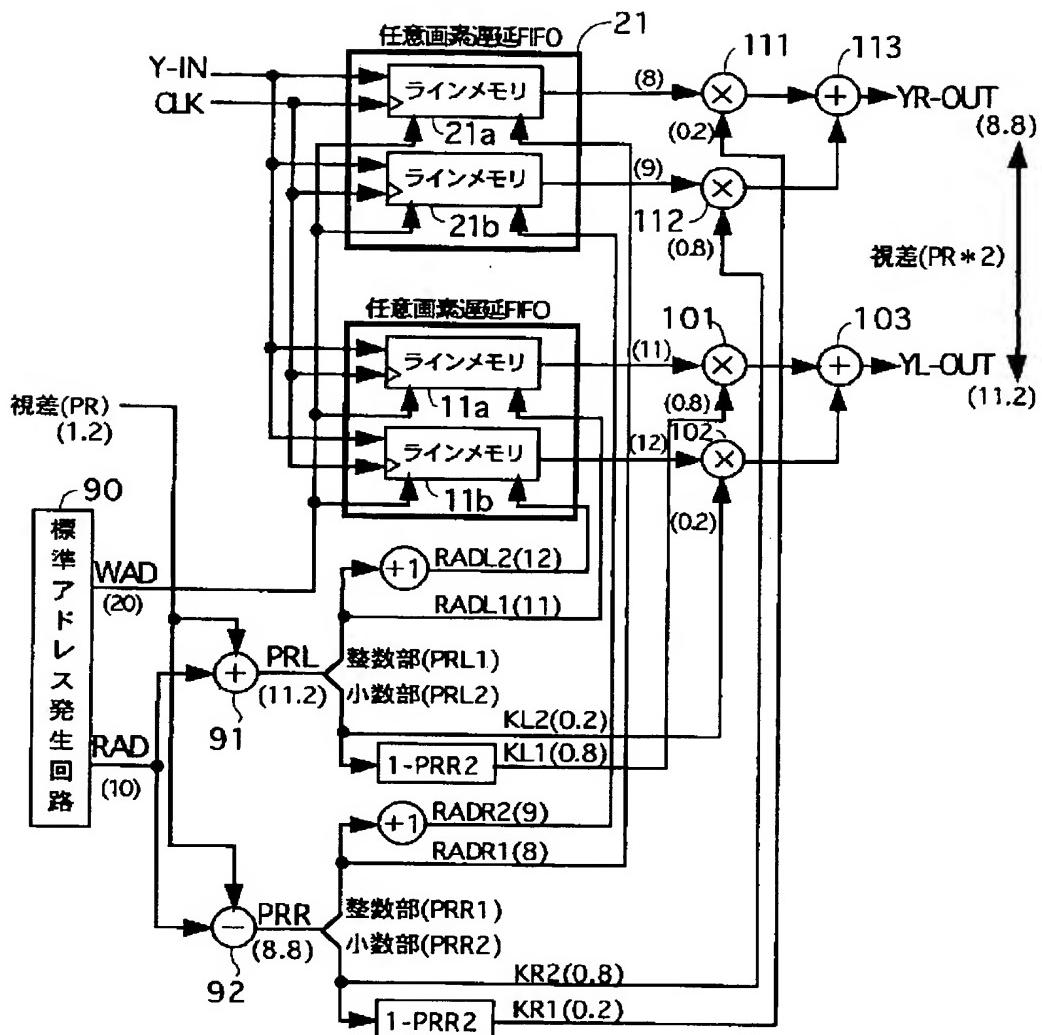
(d)

注) 0~mは 0以上m未満

【図 24】



【図25】



【図 26】

